

维修手册

适用机芯 DLS04

适用机型 LDTV26810U, LDTV32810U, LDTV42810U

LDTV32876, LDTV40876F, LDTV42876F

拟 制 _____ 2009 年 7 月

会 签 _____ 2009 年 7 月

审 核 _____ 2009 年 7 月

主 管 _____ 2009 年 7 月

批 准 _____ 2009 年 7 月

四川长虹电器股份有限公司
多媒体产业公司

目 录

第一章 DLS04 机芯液晶电视的特点和整机组成.....	3
第二章 DLS04 机芯液晶电视的主要集成电路功能简介.....	7
第三章 DLS04 机芯液晶电视整机信号流程分析.....	27
第四章 DLS04 机芯液晶电视典型故障维修流程及实例.....	37
第五章 DLS04 机芯液晶电视维备件清单.....	40
第六章 DLS04 机芯液晶电视工厂模式设置及注意事项.....	41
附：一 、长虹 DLS04 机芯液晶电视原理图（将以附件形式附带）	
二 、长虹 DLS04 机芯液晶电视装配图	
三 、长虹 DLS04 机芯液晶电视接线图	

第一章 DLS04 机芯液晶电视的特点和整机组成

一、DLS04 机芯简介

DLS04 机芯是以 MSTAR 公司 MST6M68FQ 为主芯片，凌讯公司 LGS-8G52 为解调芯片的 DTMB 数模一体电视机。带多媒体功能，支持 HDMI1.3、FHD 屏，基本功能包含两路 RF（左侧数字，右侧模拟）、两路 AV 输入、2 路 S-VIDEO 输入（810 系列只有 1 路）、2 路 YPbPr 输入（810 系列只有 1 路）、1 路 VGA 输入、2 路 USB 输入、2 路 HDMI 输入和一路 AV 输出、1 路光纤输出。所有输入输出均位于主板上，接口安装均为立式安装便于售后安装调试。

DLS04 机芯液晶电视覆盖产品尺寸从 26-42 寸，包括 50Hz/60Hz WXGA 屏（1366×768）、50Hz/60Hz FULL HD 屏（1920×1080）。具体型号有：LDTV26810U、LDTV32810U、LDTV42810FU、LDTV32876、LDTV40876F、LDTV42876F。

二、主要功能特点

- 数字电视功能：DTMB 地面波高清信号接收，LCN（逻辑频道号），EPG 电子节目指南，PVR 数字电视录制；
 - 图像模式：标准、柔和、亮丽、用户；
 - 图像缩放模式（其中动态扩展可预置）：VGA 下和 HDMI（RGB 格式）：全屏（Full）、4:3（Normal），其他和 HDMI（YUV 格式）：4:3（Normal）、全屏（Full）、电影模式（Cinema）、字幕电影（Sub Title）、动态扩展（Panorama）；
 - 图像处理：3D 梳状滤波器，3D 降噪处理，3D DEINTERLACE，MEMC 运动图像动态补偿，运动补偿和小角度去锯齿技术，数字 LTI、CTI 图像增强，电影模式处理：De-interlacing of 3:2 and 2:2 pull down，场频 50/60HZ 自动识别和切换；
 - 伴音模式：标准、音乐、新闻、用户；
 - 音效：均衡高级设置、平衡、重低音、环绕声和自动音量控制；
 - 静音控制：用户静音，频道转换、开/关机、源切换、声效切换时静音，TV 下连续 100ms 检测到无信号静音，AV, S-VIDEO, YPbPr, HDMI 下无信号蓝背景为开时静音，搜台过程中静音；
 - USB 多媒体功能：支持 USB2.0、JPEG 图片浏览，MP3 解码，MPEG I/II/IV 解码；
 - 节目编辑功能：喜好频道设置，节目排序，节目删除，节目交换、节目预约；
 - 睡眠关机功能：可设置液晶电视在预定的时间自动关机；
 - 无信号关机功能：TV 下无信号 15 分钟后进入待机；
 - 省电功能（电源管理模式）：当本机用作 PC 的显示器，且用户使用的 PC 无输出信号时，30 秒后液晶电视自动关闭进入节能模式，当按本机或遥控器任意键，液晶电视自动打开；
 - 即插即用：作为电脑终端显示设备，无须在 PC 上安装驱动；
 - 方便快捷升级：从 USB 接口，采用普通 U 盘直接插入即可；
 - 整机电源范围 150-240V（50Hz），待机功耗小于 1W；
 - 平均无故障时间 MTBF≥15000 小时；
 - 符合国标和企标的要求；
- 系统主要规格如表 1 所示：

表 1 DLS04 机芯系统主要规格表

项目		要求	备注
RF 信号接收		数字信号：中国 DTMB 信号 模拟信号：PAL D/K、B/G、I SECAM	
射频频率范围		45.25 MHz—863.25MHz	
数字 信号 格式	MPEG2	视频：MP@HL, MP@ML 音频：MPEG 1 MPEG 2(Layer I / II) AC3	HDTV(1080i, 720p) SDTV
	MPEG4	ASP	D1
	H.264	Main and high profile level 4.0	HDTV(1080i/p, 720p) SDTV
	Real video	支持 RV8/9/10 内核, 支持 RM/RMVB 格式文件	720p
视频解码		PAL/NTSC/SECAM, 自动识别 3D 动态梳妆滤波器 (PAL/NTSC)	
音频解码		NICAM	
预设频道数量		数字：400 套 模拟：200 套	
数字电视基本功能		1、EPG(7 天) 2、LCN 3、SUBTITLE 4、HD/SD 节目切换 5、MHEG-5 6、多频网相同节目检测 7、软件升级 (空中升级、USB 本地升级)	
USB2.0		2 路 软件升级及多媒体文件播放	支持 JPG/MP3/MP4/AVI/ RMVB 等
音视频外部接口		2 路 RF; 2 路 AV/1 路 S-VIDEO; 2 路 YPbPr ; 2 路 HDMI; 1 路 VGA; 1 路 SPDIF 音频输出接口 1 路 AV 输出, 1 路 RJ45	增加 UDTV 接口的机型取消 一路 YPbPr 接口 RJ45 插口可选
YPbPr 格式		480i、480P、720P(50Hz/60Hz)、1080i(50Hz/60Hz)、 576i、576P、1080P(50Hz/60Hz)	
HDMI 格式		720P(50Hz/60Hz)、1080i(50Hz/60Hz)、576i、576P、 1080P(50Hz/60Hz)	
VGA 格式		640×480、800×600、1024×768、1280×768、1280 ×1024、1366×768 60/75Hz	
屏幕显示语言		繁体/简体/英文	
缩放模式		4:3、16:9、动态扩展、电影模式、字幕模式	
输入电源		AC100-240Vac, 47—63Hz	
图像处理		动态对比度、内容降噪、MPEG 降噪、LCD 过驱、蓝 延伸, 绿延伸, 可编程肤色校正、CTI、LTI ME/MC, 120Hz 等	
声音处理		数字处理, EQ, 失真控制, 环绕声, 模式	
LVDS 信号输出		1366×768p、1920×1080p (10bit)	全高清显示屏、标清显示屏

三、整机电路组成

长虹 DLS04 机芯液晶电视主要由电源电路、射频电路、音视频处理电路、数字电视解调电路、模拟和数字音视频输入输出接口电路、图像变换处理电路、多媒体处理电路、伴音功放电路、系统控制电路组成，整机电路组成框图如图 1 所示：

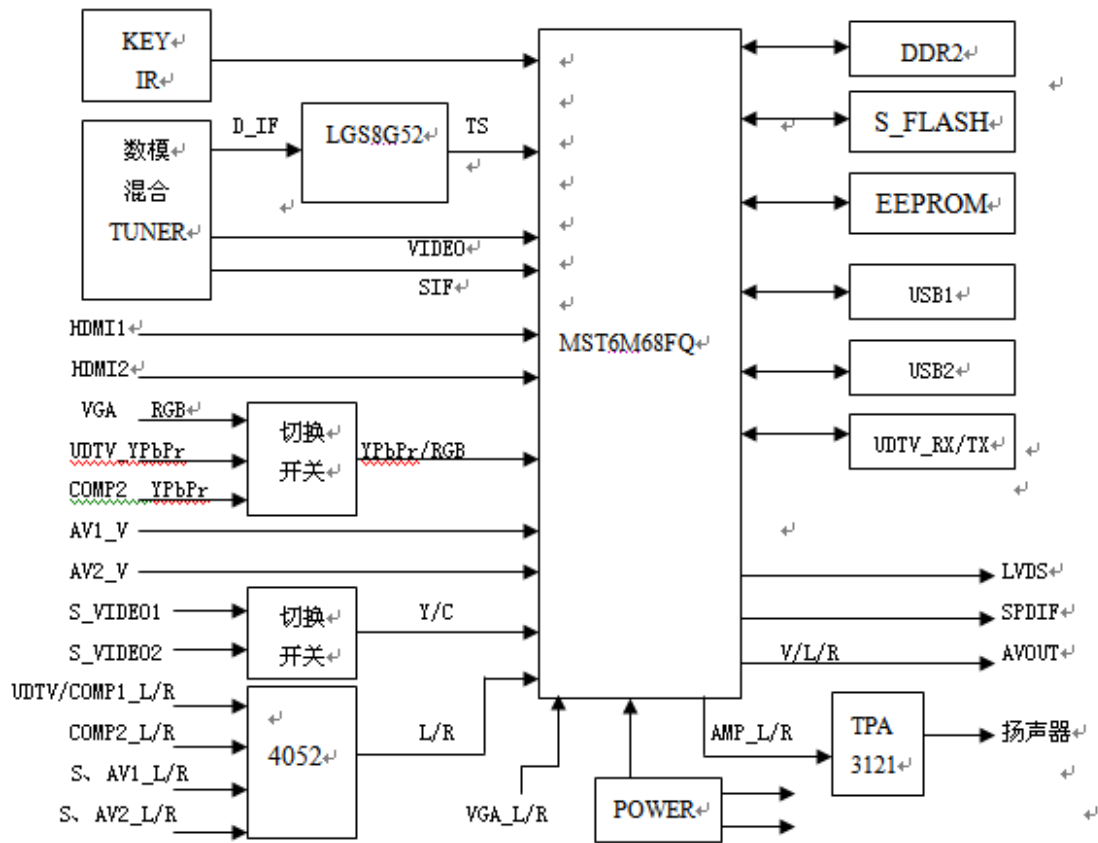


图 1：ATV/DTMB 数字电视一体机原理框图

四、整机主要组件介绍

1、长虹 DLS04 机芯液晶电视主要由主板、遥控接收板、按键板和内置电源板组成，表 2 是各印制板组件功能的介绍。

表 2 DLS04 机芯 PCB 组件功能介绍

序号	组件名称	功能描述
1	主板组件	主板组件是液晶电视中对各种信号进行处理的核心部分，在系统控制电路的作用下承担着将外部输入的信号转换为统一的液晶显示屏所能识别的数字信号的任务。 从高频头输入的数字电视信号经过 LGS8G52 解调之后形成的 TS 流、高频头输入的模拟电视信号、AV/S 端子输入的 CVBS 信号、VGA 输入的 RGB 信号、HDMI 输入的数字视频信号、HDTV (YPbPr) 输入的分量信号、USB 输入的多媒体数字信号在 MST6M68FQ 中进行处理，经过格式变换处理产生 LVDS 信号直接给屏显示。 从各端口输入的声音信号进入 MST6M68FQ 进行音量控制、音效处理后输出到 TPA3121 放大后，送到扬声器发声。

2	遥控接收板组件	遥控接收板组件由一个工作指示灯和一个遥控接收头构成。用户通过该组件使用遥控器可以对液晶电视方便地进行操作以及知道液晶电视所处的工作状态。
3	按键板组件	按键板组件有7 个功能按键。用户通过该组件可以对液晶电视方便地进行操作。
4	内置电源组件	内置电源板可为整机信号处理过程供电，为逆变器供电，点亮液晶屏模块的背灯单元，使用户可以看到液晶显示屏上的图像。
5	屏组件	DLS04所使用的屏都内置逆变器，逆变器将直流变成高压的交流信号，点亮背灯；液晶屏用以将来自主板经处理后的图像信号进行显示。

2、遥控器RCH7M61D 介绍

遥控器（图2）与电视机上的同名按键功能相同。遥控器各键说明如下：

- POWER：待机开关
- DTV：进入/退出数字电视(广播)功能
- 缩放：缩放主画面图像
- 画质：选择图像模式
- 音质：选择声音模式
- 演示：量子芯功能演示
- 0-9：数字(字符)选择键
- TV/AV——选择信号源
- 返回：返回前一节目/信号源
- P+/P-：改变节目号
- V+/V-：音量增/减
- 上下左右：方向键
- OK：确认键
- 静音：关闭/打开音量
- 菜单：液晶电视主菜单
- 信息：当前频道信息
- U-DTV菜单：U-DTV模块菜单
- 电视/广播：数字电视、广播切换
- 节目指南：数字电视EPG信息
- 字幕：字幕信息
- 声道：声道选择

注： USB/PVR 部分按键（即录制管理、快进、快退、前一、后一、停止/录制、播放/暂停、图片旋转）需要外接USB存储器支持。



图2 遥控器外形图

3、主板印制板布局及主要元器件位置示意图（图 3）：

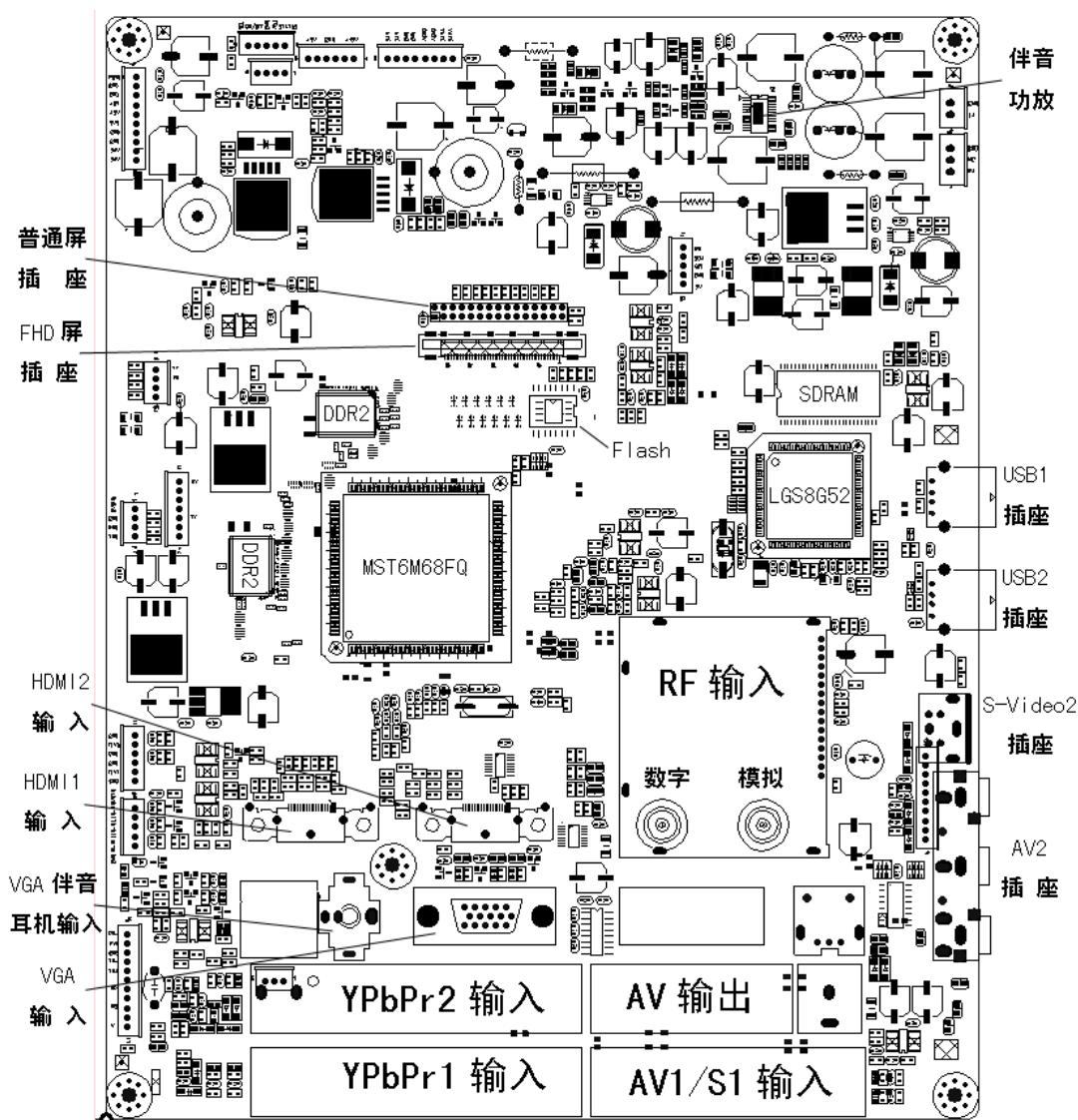


图 3 DLS04 机芯主板布局示意图

4、遥控接收板、按键板与以前液晶电视基本一致，主要是根据结构要求进行外形更改。

第二章 长虹液晶电视 DLS04 机芯的主要集成电路功能简介

一、长虹液晶电视 DLS04 机芯主要集成电路及其功能如表 3：

表 3 DLS04 机芯主要 IC 型号及功能简介

主 板			
序号	位号	型号	主要功能
1	N39	MST6M68FQ	主处理芯片，对各接口信号进行如 ADC、VideoDecoder、Scaler、Audio ADC、Audio DSP、3D 梳状滤波、多媒体解码、LVDS TX、De-interlace、等处理后送到屏和伴音功放。主芯片也包括了 OSD 显示、HDMI switcher 和 MCU 控制功能

2	N50、N51	W9751G6IB-25 或 HYB18TC512160CF-2.5	DDR2, 存储图像处理的中间数据、OSD 数据和从 Flash 中调入的需要运行的程序
3	N8	LGS-8G52-A1-C-LQ1-P	DTMB数字电视信号解调芯片, 将高频头输入的数 字中频解调为TS流送到主芯片
4	N40	W9864G6IH-6	SDRAM, 存储数字信号处理的中间数据
5	N24	EN25B64-100FIP 或 MX25L6405DMI-12G	Flash, 存储整机控制程序
6	N12、N14 U20	AT24C02N-10SI2.7 或 24LC02BT/SN	EEPROM, 存储VGA 的DDC 数据和HDMI 的EDID数 据
7	N23	24LC32A/SN 或 24LC32AT/SN	EEPROM, 存储用户操作等数据
8	N29	AT24C04N-10SI2.7 或 AT24C04BN-SH-T	EEPROM, 存储 HDMI 的 key
9	N30	SN74LV4052ADR 或 MC74LVX4052DR2	音频通道选择切换开关, 切换TV、AV、YPbPr和 VGA 的伴音通道
10	U6	AP1212HSLA	USB 接口供电及保护开关
11	U10	DTOS44AEL201A 或 DTM3-C202II1VH	TUNER, RF 接收解调输出模拟音频和视频信号和 数字中频信号
12	U54	TPA3121D2	数字伴音功放
13	N18、N47	PI5V330AQ 或 SGM330A-YQS/TR	视频通道选择切换开关, 切换S-Video、YPbPr、 和VGA视频信号切换开关
14	U5、U7	MP1411DH-LF-Z	DC-DC, MST6M68FQ和LGS-8G52核心供电
15	U48	AP3003S-12TRE1	DC-DC, 液晶屏T-CON板、高频头供电
16	U38、U22	AZ1117H-3.3TRE	LDO, 主芯片、SDRAM3.3V
17	U18	AZ1084S-3.3TRE1	LDO, 主芯片3.3V
18	U42	AZ1117H-ADJTR	LDO, LGS-8G52数字信号台解调IC 2.5V供电
19	N52	AZ1084S-ADJTRE1	LDO, DDR21.8V供电
20	U25	AZ1084S-5.0TRE1	LDO, 高频头5V供电

二、长虹液晶电视 DLS04 机芯集成电路功能介绍

1. 数模一体高频头 DTM3-C202II1VH

数模一体高频头 DTM3-C202II1VH 有两个 RF 输入口, 一个接收 DTMB 数字电视信号, 另一个接收普通模拟电视信号, 二者通过开关切换。

数模一体高频头 DTM3-C202II1VH 管脚简介

表 4 DTM3-C202II1VH 管脚功能简介

管脚	管脚定义	管脚功能描述
1	SW	数字/模拟信号输入选择开关 (0V 数字, 3.3V 模拟)
2	AGC OUT	RF 自动增益控制电压监控 (测试点) DLS04 机芯未使用
3	NC	不用
4	VT (32V)	调谐电压, 32V
5	DIF	数字中频输出
6	DIF	数字中频输出
7	IF AGC	中频输出自动增益控制

8	T.P	中频输出测试点, DLS04 机芯未使用
9	SCL	IIC 总线(时钟)
10	SDA	IIC 总线(数据)
11	GND	地
12	B+ (5V)	电源+5V, 为高频头内部电路工作供电
13	AUDIO OUT	单声道音频测试, DLS04机芯未使用
15	AFT OUT	自动频率调谐, DLS04机芯未使用
15	SIF	第二伴音中频
16	VIDEO OUT	CVBS 信号输出

2. 主芯片 MST6M68FQ

MST6M68FQ 是一款高性能、多功能、支持全高清（19201080）信号输出的芯片。

MST6M68FQ 具有如下主要特点：

- 增强型 8051 微处理器，支持中断、ISP、UART 等；
- 一路外部 TS 流输入接口和一路内部 TS 数据通道，支持并行/串行输入；
- MPEG2 A/V 解码：视频 MP@HL 音频：MPEG1/MPEG2(Layer I / II)/AC3，支持 HDTV(1080i, 720p)、SDTV 等；
- MPEG4 解码：支持 ASP VIDEO 解码，UP TO D1;;
- H.264 解码：Main and high profile level 4.0, 支持 HDTV(1080i/p, 720p)和 SDTV 等；
- REAL 解码：支持 RV8/RV9/RV10 内核，支持 RM/RMVB 格式文件，支持 720P 等；
- NTSC/PAL/SECAM 视频解码, 自动识别, 动态 3D 梳妆滤波器(PAL/NTSC), 支持 CCD/V-chip 等；
- 声音处理器： SIF 和 2 路 L/R 输入, 支持 BTSC/A2/EIA-J 解调, 支持 MTS 等 ； 内置音频输出 DAC, 音效处理（音量、平衡、EQ、环绕声、高低音等），可选 Dolby/SRS/BBE 等高级音效处理模式；
- 支持 VIF 输入，多制式模拟电视接收处理;;
- 高效率的 Scaling Engine, 具有完备的编程缩放能力，非线性的图像缩放比例支持各种模式；
- 集成 3 路 DVI/HDCP/HDMI 输入接口，up to 1080P 60Hz with 12-bit deep color，支持 DVI 1.0/HDCP1.1/HDMI1.3a；
- 视频处理和变换：支持 3-D Video De-interlace, 3:2/2:2 Pull down, MSTARACE-3 彩色引擎、自动图像增强（10-bit 内部数据处理、3-D 降噪、可编程 12-bit gamma CLUT、帧率变换、绚烂彩色、逼真肤色、动态对比度等）；
- 输出界面：双路 6/8/10 位 LVDS 输出，最大支持 1920×1080 显示屏；
- 模拟 RGB 输入端口：支持 HDTV RGB/YPbPr/ YCbCr, up to 1080P;支持 PC RGB 输入到 SXGA @75Hz;
- 其他：DRAM 控制器支持 32 位 DDR2，支持外部 SPI 总线 FLASH，集成两路 USB2.0 控制器；
- 296个管脚的PQFP封装；

MST6M68FQ管脚示意图

PIN DIAGRAM (MST6M68FQ)



图4 MST6M68FQ管脚示意图

MST6M68FQ 管脚功能简介:

表 5 MST6M68FQ 管脚功能简介

PIN DESCRIPTION

Analog Video Interface

Pin Name	Pin Type	Function	Pin
VCLAMP		CVBS/YC Mode Clamp Voltage Bypass	34
REXT	Analog Input	External Resister 390 ohm to AVDD_33	31
REFM		Internal ADC Bottom De-coupling Pin	36
REFP		Internal ADC Top De-coupling Pin	35
RINOM	Analog Input	Reference Ground for Analog Red Input	42

RIN0P	Analog Input	Analog Red Input from Channel 0	43
GIN0M	Analog Input	Reference Ground for Analog Green Input	39
GIN0P	Analog Input	Analog Green Input from Channel 0	40
BIN0M	Analog Input	Reference Ground for Analog Blue Input	37
BIN0P	Analog Input	Analog Blue Input from Channel 0	38
SOGIN0	Analog Input	Sync-On-Green Input from Channel 0	41
HSYNC0	Schmitt Trigger Input w/ 5V-tolerant	HSYNC / Composite Sync for VGA Input	46
VSYN0	Schmitt Trigger Input w/ 5V-tolerant	VSYN for VGA Input	47
VCOM1	Analog Input	CVBS1, CVBS2, CVBS3 Video Input Reference Ground	51
VCOM0	Analog Input	CVBS0 Video Input Reference Ground	53
CVBS3	Analog Input	CVBS (Composite) Video Input Channel 3	48
CVBS2	Analog Input	CVBS (Composite) Video Input Channel 2	49
CVBS1	Analog Input	CVBS (Composite) Video Input Channel 1	50
CVBS0	Analog Input	CVBS (Composite) Video Input Channel 0	52
CVBSOUT	Analog Output	CVBS (Composite) Video Output	55

Analog Audio Interface

Pin Name	Pin Type	Function	Pin
AUVRM	Analog Output	Negative Reference Voltage for Audio ADC	76
AUVRP	Analog Output	Positive Reference Voltage for Audio ADC	77
AUVAG	Analog Output	Reference Voltage for Audio Common Mode	78
AUCOM	Analog Input	Reference Ground for Audio Line Input	74
AUL0	Analog Input	Audio Line Input Left Channel 0	70
AUR0	Analog Input	Audio Line Input Right Channel 0	71
AUL1	Analog Input	Audio Line Input Left Channel 1	72
AUR1	Analog Input	Audio Line Input Right Channel 1	73

Pin Name	Pin Type	Function	Pin
AUOUTL0	Analog Output	Main Audio Output Left Channel 0	84
AUOUTR0	Analog Output	Main Audio Output Right Channel 0	85
AUOUTL1	Analog Output	Main Audio Output Left Channel 1	82
AUOUTR1	Analog Output	Main Audio Output Right Channel 1	83
AUOUTL2	Analog Output	Main Audio Output Left Channel 2	80
AUOUTR2	Analog Output	Main Audio Output Right Channel 2	81

Digital Audio Interface

Pin Name	Pin Type	Function	Pin
I2S_OUT_MCK	Output	Audio Master Clock Output	108
I2S_OUT_BCK	Output	Audio Bit Clock Output	109
I2S_OUT_WS	Output	Word Select Output; 4mA driving strength	107
I2S_OUT_SD	Output	Audio Serial Data Output; 4mA driving strength	110
I2S_OUT_MUTE	Output	Audio Output Mute Control	111
SPDIFO	Output	S/PDIF Audio Output; 4mA driving strength	106
I2S_IN_BCK	Input	Audio Bit Clock Input	103
I2S_IN_WS	Input	Word Select Input	102
I2S_IN_SD	Input	Audio Serial Data Input	104
SPDIFI	Input	S/PDIF Audio Input	105

TS Input Interface

Pin Name	Pin Type	Function	Pin
TS0DATA[7:0]	Input w/ 5V-tolerant	TS Data in Parallel; LSB (bit 0) is for serial TS data	96-99
TS0CLK	Input w/ 5V-tolerant	TS Clock	99
TS0VALID	Input w/ 5V-tolerant	TS Data Valid	97
TS0SYNC	Input w/ 5V-tolerant	TS Sync-Byte Indicator	98

DVI/HDMI Interface

Pin Name	Pin Type	Function	Pin
RXA0N	Input	Negative DVI/HDMI Input for A Link Data Channel 0	22
RXA0P	Input	Positive DVI/HDMI Input for A Link Data Channel 0	23
RXA1N	Input	Negative DVI/HDMI Input for A Link Data Channel 1	25
RXA1P	Input	Positive DVI/HDMI Input for A Link Data Channel 1	26
RXA2N	Input	Negative DVI/HDMI Input for A Link Data Channel 2	28
RXA2P	Input	Positive DVI/HDMI Input for A Link Data Channel 2	29

Pin Name	Pin Type	Function	Pin
RXACKN	Input	Negative DVI/HDMI Input for A Link Clock Channel	20
RXACKP	Input	Positive DVI/HDMI Input for A Link Clock Channel	21
RXB0N	Input	Negative DVI/HDMI Input for B Link Data Channel 0	11
RXB0P	Input	Positive DVI/HDMI Input for B Link Data Channel 0	12
RXB1N	Input	Negative DVI/HDMI Input for B Link Data Channel 1	14
RXB1P	Input	Positive DVI/HDMI Input for B Link Data Channel 1	15
RXB2N	Input	Negative DVI/HDMI Input for B Link Data Channel 2	17
RXB2P	Input	Positive DVI/HDMI Input for B Link Data Channel 2	18
RXBCKN	Input	Negative DVI/HDMI Input for B Link Clock Channel	7
RXBCKP	Input	Positive DVI/HDMI Input for B Link Clock Channel	8
RXC0N	Input	Negative DVI/HDMI Input for C Link Data Channel 0	121
RXC0P	Input	Positive DVI/HDMI Input for C Link Data Channel 0	122
RXC1N	Input	Negative DVI/HDMI Input for C Link Data Channel 1	124
RXC1P	Input	Positive DVI/HDMI Input for C Link Data Channel 1	125
RXC2N	Input	Negative DVI/HDMI Input for C Link Data Channel 2	127
RXC2P	Input	Positive DVI/HDMI Input for C Link Data Channel 2	128
RXCCKN	Input	Negative DVI/HDMI Input for C Link Clock Channel	118
RXCCKP	Input	Positive DVI/HDMI Input for C Link Clock Channel	119

LVDS Interface

Pin Name	Pin Type	Function	Pin
LVA0M	Output	LVDS A-Link Channel 0 Negative Data Output	160
LVA0P	Output	LVDS A-Link Channel 0 Positive Data Output	159
LVA1M	Output	LVDS A-Link Channel 1 Negative Data Output	158
LVA1P	Output	LVDS A-Link Channel 1 Positive Data Output	157
LVA2M	Output	LVDS A-Link Channel 2 Negative Data Output	156
LVA2P	Output	LVDS A-Link Channel 2 Positive Data Output	155
LVA3M	Output	LVDS A-Link Channel 3 Negative Data Output	152
LVA3P	Output	LVDS A-Link Channel 3 Positive Data Output	151
LVA4M	Output	LVDS A-Link Channel 4 Negative Data Output	150
LVA4P	Output	LVDS A-Link Channel 4 Positive Data Output	149
LVACKM	Output	LVDS A-Link Negative Clock Output	154
LVACKP	Output	LVDS A-Link Positive Clock Output	153
LVB0M	Output	LVDS B-Link Channel 0 Negative Data Output	173
LVB0P	Output	LVDS B-Link Channel 0 Positive Data Output	172
LVB1M	Output	LVDS B-Link Channel 1 Negative Data Output	171

LVB1P	Output	LVDS B-Link Channel 1 Positive Data Output	170
LVB2M	Output	LVDS B-Link Channel 2 Negative Data Output	169
LVB2P	Output	LVDS B-Link Channel 2 Positive Data Output	168
LVB3M	Output	LVDS B-Link Channel 3 Negative Data Output	165
LVB3P	Output	LVDS B-Link Channel 3 Positive Data Output	164
LVB4M	Output	LVDS B-Link Channel 4 Negative Data Output	163
LVB4P	Output	LVDS B-Link Channel 4 Positive Data Output	162
LVBCKM	Output	LVDS B-Link Negative Clock Output	167
LVBCKP	Output	LVDS B-Link Positive Clock Output	166

Serial Flash Interface

Pin Name	Pin Type	Function	Pin
SCK	Output	SPI Flash Serial Clock	140
SDI	Output	SPI Flash Serial Data Input	141
SDO	Input w/ 5V-tolerant	SPI Flash Serial Data Output	142
SCZ	Output	SPI Flash Chip Select	143
IRIN	Input w/ 5V-tolerant	IR Receiver Input	113
INT	Input w/ 5V-tolerant	MCU Bus Interrupt; 4mA driving strength	114

GPIO Interface

Pin Name	Pin Type	Function	Pin
GPIO[140:139]	I/O w/ 5V-tolerant	General Purpose Input/Output; 4mA driving strength	148, 147
GPIO130	I/O w/ 5V-tolerant	General Purpose Input/Output; 4mA driving strength	146
PWM2	Output	Pulse Width Modulation Output; 4mA driving strength	136
PWM1	Output	Pulse Width Modulation Output; 4mA driving strength	135
PWM0	Output	Pulse Width Modulation Output; 4mA driving strength	134
SAR3	Analog Input	SAR Low Speed ADC Input 3; General Purpose Input/Output	133
SAR2	Analog Input	SAR Low Speed ADC Input 2; General Purpose Input/Output	132
SAR1	Analog Input	SAR Low Speed ADC Input 1; General Purpose Input/Output	131
SAR0	Analog Input	SAR Low Speed ADC Input 0; General Purpose Input/Output	130

DRAM Interface

Pin Name	Pin Type	Function	Pin
MVREF	Input	Reference Voltage for DDR SDRAM Interface	236
A_DDR2_DQM[1:0]	Output	Data Mask for Low Byte; active high	272, 273
A_DDR2_DQS[1:0]	I/O	Data Strobe	277, 274
A_DDR2_DQSB[1:0]	I/O	Data Strobe Inverse	278, 275
A_MDATA[15:0]	I/O	DRAM Memory Data Bus	279, 271, 283, 267, 266, 282, 270, 280, 285, 265, 289, 261, 262, 288, 264, 286
A_MADR[12:0]	Output	DRAM Memory Address	257, 248, 254, 256, 246, 258, 245, 255, 244, 259, 243, 253, 242
A_BADR[1:0]	Output	DRAM Memory Bank Address	251, 252
A_MCLK	Output	DRAM Memory Positive Differential Clock	291
A_MCLKZ	Output	DRAM Memory Negative Differential Clock	292
A_MCLKE	Output	DRAM Memory Clock Enable	250
A_ODT	I/O	On-Die Termination	237
A_WEZ	Output	Write Enable; active low	249
A_RASZ	Output	Row Address Strobe; active low	240
A_CASZ	Output	Column Address Strobe; active low	241
B_DDR2_DQM[1:0]	Output	Data Mask for Low Byte; active high	189, 190
B_DDR2_DQS[1:0]	I/O	Data Strobe	194, 191
B_DDR2_DQSB[1:0]	I/O	Data Strobe Inverse	195, 192
B_MDATA[15:0]	I/O	DRAM Memory Data Bus	197, 188, 201, 185, 184, 200, 187, 198, 203, 182, 207, 178, 179, 206, 181, 204
B_MADR[12:0]	Output	DRAM Memory Address	230, 220, 227, 229, 219, 231, 218, 228, 217, 232, 216, 226, 215
B_BADR[1:0]	Output	DRAM Memory Bank Address	224, 225
B_MCLK	Output	DRAM Memory Positive Differential Clock	209
B_MCLKZ	Output	DRAM Memory Negative Differential Clock	210
B_MCLKE	Output	DRAM Memory Clock Enable	223
B_ODT	I/O	On-Die Termination	211
B_WEZ	Output	Write Enable; active low	221
B_RASZ	Output	Row Address Strobe; active low	212
B_CASZ	Output	Column Address Strobe; active low	214

VIF Interface

Pin Name	Pin Type	Function	Pin
TAGC	Analog Output	Tuner Automatic Gain Control Output	60
VR27		Compensation Capacitor for Regulator	61
SIFM	Analog Input	Negative Sound IF Input	63
SIFP	Analog Input	Positive Sound IF Input	62
VIFM	Analog Input	Negative Video IF Input	65
VIFP	Analog Input	Positive Video IF Input	66

USB Interface

Pin Name	Pin Type	Function	Pin
USB_DM_P0	Analog I/O	USB Inverting Data Input/Output for Port 0	3
USB_DP_P0	Analog I/O	USB Non Inverting Data Input/Output for Port 0	4
USB_VBUS_P1	Analog Input	USB VBUS Power Input for Detecting; 5V Tolerant and Input Resistor ~ 75.0k ohm	294
USB_DM_P1	Analog I/O	USB Inverting Data Input/Output for Port 1	295
USB_DP_P1	Analog I/O	USB Non Inverting Data Input/Output for Port 1	296

Misc. Interface

Pin Name	Pin Type	Function	Pin
DDCA_SDA	I/O w/ 5V-tolerant	DDC Data for Analog Port	115
DDCA_SCL	I/O w/ 5V-tolerant	DDC Clock for Analog Port	116
DDCDA_SDA	I/O w/ 5V-tolerant	HDCP Serial Bus Data / DDC Data for DVI/HDMI A Link	32
DDCDA_SCL	Input w/ 5V-tolerant	HDCP Serial Bus Clock / DDC Clock for DVI/HDMI A Link	33
DDCDB_SDA	I/O w/ 5V-tolerant	HDCP Serial Bus Data / DDC Data for DVI/HDMI B Link	10
DDCDB_SCL	Input w/ 5V-tolerant	HDCP Serial Bus Clock / DDC Clock for DVI/HDMI B Link	19
DDCDC_SDA	I/O w/ 5V-tolerant	HDCP Serial Bus Data / DDC Data for DVI/HDMI C Link	120
DDCDC_SCL	Input w/ 5V-tolerant	HDCP Serial Bus Clock / DDC Clock for DVI/HDMI C Link	117
DDCR_SDA	I/O w/ 5V-tolerant	DDC Data for ROM	137
DDCR_SCL	I/O w/ 5V-tolerant	DDC Clock for ROM	138
HOTPLUGA	Analog Input	Hot-plug detection input for DVI/HDMI A Link	30

HOTPLUGB	Analog Input	Hot-plug detection input for DVI/HDMI B Link	13
HOTPLUGC	Analog Input	Hot-plug detection input for DVI/HDMI C Link	129
CEC	I/O (not 5V-tolerant)	Consumer Electronics Control / General Purpose Input/Output; 4mA driving strength (GPIO0)	9
HWRESET	Schmitt Trigger Input w/ 5V-tolerant	Hardware Reset; active high	139
XIN	Analog Input	Crystal Oscillator Input	58
XOUT	Analog Output	Crystal Oscillator Output	57

Power Pins

Pin Name	Pin Type	Function	Pin
AVDD_AU	3.3V Power	Audio Power	79
AVDD_LPLL	3.3V Power	LPLL Power	174
AVDD_MPLL	3.3V Power	MPLL Power	59
AVDD_MEMPLL	3.3V Power	PLL Power	193, 238
AVDD_33	3.3V Power	ADC Power	16, 24, 44, 54
AVDD_USB	3.3V Power	USB Power	2
AVDD_VIF	3.3V Power	VIF Power	67
AVDD_DM	3.3V Power	DM Power	126
VDDP	3.3V Power	Digital Input/Output Power	86, 112, 144, 161, 233
AVDD_DDR	1.9V Power	DDR2 Power	183, 196, 202, 208, 222, 247, 260, 276, 284, 290
AVDDL_DVI	1.26V Power	DVI Power	293
VDDC	1.26V Power	Digital Core Power	68, 88, 101, 177, 235, 269
GND	Ground	Ground	1, 5, 6, 27, 45, 56, 64, 69, 75, 87, 100, 123, 145, 175, 176, 180, 186, 199, 205, 213, 234, 239, 263, 268, 281, 287, 296

3. DTMB 数字电视信号解调芯片 LGS-8G52

LGS-8G52 是一款支持国标 DTMB 地面波数字电视信号的解调芯片。

LGS-8G52 主要具备以下特点：

- 支持数字电视 GB20600-2006 标准
- 支持 64QAM、32QAM、16QAM、4QAM 固定和移动调制模式
- FEC 0.4、0.6、0.8
- 保护间隔 PN420、PN595、PN945
- 时域解开交织 M=240、M=720
- 频道带宽 8MHz
- 内置 10 位 ADC
- MPEG2 传输流（TS 流）并行或串行输出
- 参数自动识别升级
- 144 个管脚 LQFP 封装

LGS8G52 应用框图：

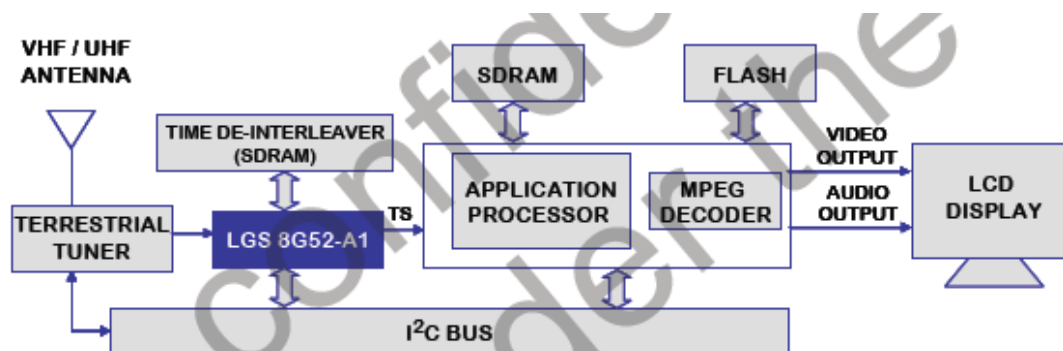


图 5 LGS8G52 应用框图

The receiver architecture consists of the following components and signal flow:

- Antenna** (represented by a zigzag line) connects to the **Tuner**.
- The **Tuner** outputs to the **ADC (OPT)**.
- The **ADC (OPT)** outputs to the **Automatic gain control** and the **IF to baseband** block.
- The **Automatic gain control** also outputs to the **Automatic frequency control**.
- The **IF to baseband** block outputs to the **Sample rate converter**.
- The **Sample rate converter** outputs to the **Shaping** block.
- The **Timing recovery** block outputs to the **Sample rate converter** and the **Shaping** block.
- The **Shaping** block outputs to the **Correlation** block.
- The **Correlation** block outputs to the **Channel Estimation** block.
- The **Channel Estimation** block outputs to the **Channel equalization** block.
- The **Channel equalization** block outputs to the **FFT** block.
- The **FFT** block outputs to the **OFDM symbol restoration** block.
- The **OFDM symbol restoration** block outputs to the **FFT** block.
- The **FFT** block outputs to the **IFFT** block.
- The **IFFT** block outputs to the **PLL** block.
- The **PLL** block outputs to the **SC** block.
- The **SC** block outputs to the **MC** block.
- The **MC** block outputs to the **Time de-interleaver** block.
- The **Time de-interleaver** block outputs to the **LDPC** block.
- The **LDPC** block outputs to the **Rateconv** block.
- The **Rateconv** block outputs to the **Outer FEC: BCH** block.
- The **Outer FEC: BCH** block outputs to the **Descramble** block.
- The **Descramble** block outputs to the **MPEG-2 transport stream** (indicated by a slash and the number 8).
- External memory** is connected to the **Time de-interleaver** block.
- POWER** and **GROUND** connections are shown at the bottom of the diagram.

LGS8G52 管脚示意图



图 7 LGS8G52 管脚示意图

表 6 LGS8G52 管脚功能介绍

Clocks and Resets

Pin #	Name	Type	Description
35	XTALIN	Analog	External parallel crystal input, also external clock input
36	XTALOUT	Analog	External parallel crystal output
100	RESET	I	Hardware reset, active low

Front End & Tuner Interface

Pin #	Name	Type	Description
61	IP	Analog	Internal ADC-Positive Input
62	IM	Analog	Internal ADC-Negative Input
63,64,65,66,67,68,71	RES	NC	Reserved, do not connect
99	AGC	O	AGC output to tuner (PWM format)
72	IFCLK	IO	IFCLK @ 30.4 Mhz-Output to Ext ADC
15	CLKO	O	30.4MHz clock for observation
59	REXT25	I	Internal ADC Bias

I²C Interface

Pin #	Name	Type	Description
101	SCL	I	I ² C clock
102	SDA	IO	I ² C data (open drain)
107	SCLT	O	I ² C clock pass-through for tuner
108	SDAT	IO	I ² C data pass-through for tuner
80	CE_A0	I	I ² C address selection (1 bit)

Time De-Interleaver Memory Interface

(The pin ordering is optimized to facilitate trace routing to the SDRAM)

Pin #	Name	Type	Description
110, 81, 90, 109, 104, 98, 103, 97, 87, 83, 82, 84	TI_A11 – TI_A0	O	Time de-interleaver memory address selection (12 bits, A11 is MSB)
125, 124, 123, 120, 119, 118, 117, 4, 3, 2, 1, 134, 133, 132, 131	TI_D14 – TI_D0	IO	Time de-interleaver memory data (15 bits, D14 is MSB)
88, 89	TI_BA1, TI_BA0	O	Time de-interleaver memory bank select
76	TI_CS	O	Time de-interleaver memory chip select (active low)
75	TI_RAS	O	Time de-interleaver memory row address strobe (active low)
112	TI_DQM	O	Time de-interleaver memory data mask
111	TI_CLK	O	Time de-interleaver memory clock
73	TI_CAS	O	Time de-interleaver memory column address strobe (active low)
74	TI_WE	O	Time de-interleaver memory write enable (active low)

MPEG Interface

Pin #	Name	Type	Description
143,144,7,8,27,28,29,30	MPEG_D7 – MPEG_D0	O	MPEG data outputs, Parallel Mode (8 bits, D7 is MSB)
143	MPEG_D7	O	MPEG data output Serial Mode
138	MPEG_CLK	O	MPEG clock output
137	MPEG_VALID	O	MPEG data valid signal
136	MPEG_SYNC	O	MPEG sync signal

Power and Ground

Pin #	Name	Description
5, 19, 55, 69, 77, 85, 95, 105, 121, 139	VDD2.5	2.5V power for digital I/O (10 pins)
13, 49, 78, 91, 115, 127, 141	VDD1.2	1.2V power for digital core (7 pins)
6, 14, 20, 50, 56, 70, 79, 86, 92, 96, 106, 116, 122, 128, 140	DGND	Digital ground (15 pins)
41	PLLVD1.2	1.2V PLL analog supply
43,57	AVDD2.5	2.5V analog supply

42	PLLGND	Analog PLL ground
44, 58	AGND	Analog Ground for internal ADC

Test Pins & Indicators

Pin #	Name	Type	Description
113	BLKERRN	O	LPDC Block error indicator, active low
114	LOCK	O	Demodulator lock signal, active high
94	IFTEST	I	Reserved, connect to DGND through 4.7 k Ω resistor
93	SM	I	Reserved, connect to DGND
129	BIST	I	Reserved, connect to DGND
130	TESTCLK	I	Reserved, connect to DGND
21,22	BP1, BP2	I	BP1=0, BP2=0 30.4MHz Crystal BP1=0, BP2=1 30.4MHz XO BP1=1, BP2=1 60.8MHz XO
39,40,45,46,47,48, 51,52,53,54	I9 – I0	I	IF DATA from ADC
9,10,11,12,16,17, 18,23,24,25,26,31, 32,33,34,37,38, 60, 63, 64, 65, 66, 67, 68,126, 135, 142	RES		No connection

4. 数字伴音功放 TPA3121D2

TPA3121D2 是数字 D 类音频功率放大器，供电电压范围：10V–26V，最大增益可达 36db，封装管脚为 24PIN TTSOP 封装。

TPA3121D2 主要特点如下：

- 2个独立的伴音通道:输出功率可达10W(24V供电、8欧姆负载条件下)
- 4种增益幅度选择模式

- 具有低噪声和低失真的特性
- 过热、过流保护
- 内置振荡器
- 关机静音模式

TPA3121D2原理框图：

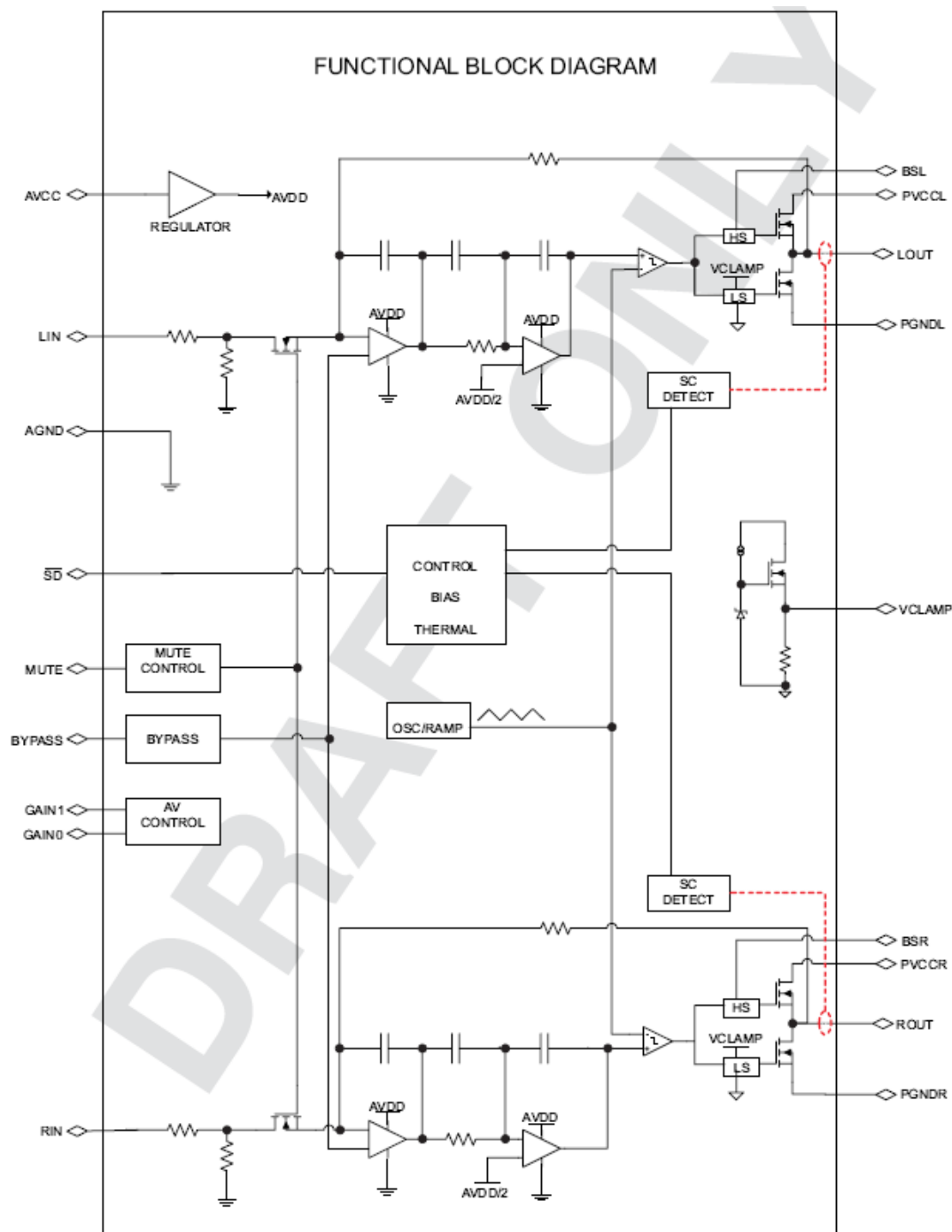


图 8 TPA3121D2 原理框图

TPA3121D2 管脚示意图

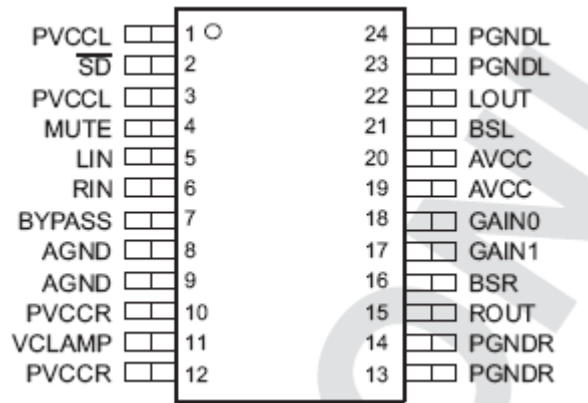


图 9 TPA3121D2 管脚示意图

表 7 TPA3121D2 管脚功能介绍

TERMINAL		I/O/P	DESCRIPTION
NAME	24-PIN (PWP)		
$\overline{SD}$	2	I	Shutdown signal for IC (low = disabled, high = operational). TTL logic levels with compliance to AVCC
RIN	6	I	Audio input for right channel
LIN	5	I	Audio input for left channel
GAIN0	18	I	Gain select least-significant bit. TTL logic levels with compliance to AVCC
GAIN1	17	I	Gain select most-significant bit. TTL logic levels with compliance to AVCC
MUTE	4	I	Mute signal for quick disable/enable of outputs (high = outputs switch at 50% duty cycle, low = outputs enabled). TTL logic levels with compliance to AVCC
BSL	21	I/O	Bootstrap I/O for left channel
PVCCCL	1, 3	P	Power supply for left-channel H-bridge, not internally connected to PVCCR or AVCC
LOUT	22	O	Class-D 1/2-H-bridge positive output for left channel
PGNDL	23, 24	P	Power ground for left-channel H-bridge
VCLAMP	11	P	Internally generated voltage supply for bootstrap capacitors
BSR	16	I/O	Bootstrap I/O for right channel
ROUT	15	O	Class-D 1/2-H-bridge negative output for right channel
PGNDR	13, 14	P	Power ground for right-channel H-bridge.
PVCCR	10, 12	P	Power supply for right-channel H-bridge, not connected to PVCCCL or AVCC
AGND	9	P	Analog ground for digital/analog cells in core
AGND	8	P	Analog ground for analog cells in core
BYPASS	7	O	Reference for preamplifier inputs. Nominally equal to AVCC/8. Also controls start-up time via external capacitor sizing.
AVCC	19, 20	P	High-voltage analog power supply. Not internally connected to PVCCR or PVCCCL
Thermal pad	Die pad	P	Connect to ground. Thermal pad should be soldered down on all applications to secure the device properly to the printed wiring board.

5. USB 电源管理 AP1212HSLA

AP1212HSLA是双路USB电源管理IC，通过高低电平开关可控制两路电源独立输出，并具有过流保护功能，当USB外接设备发生故障，输出电流超过1A时，IC会自动切断电源输出并产生故障指示信号。

AP1212HSLA原理框图

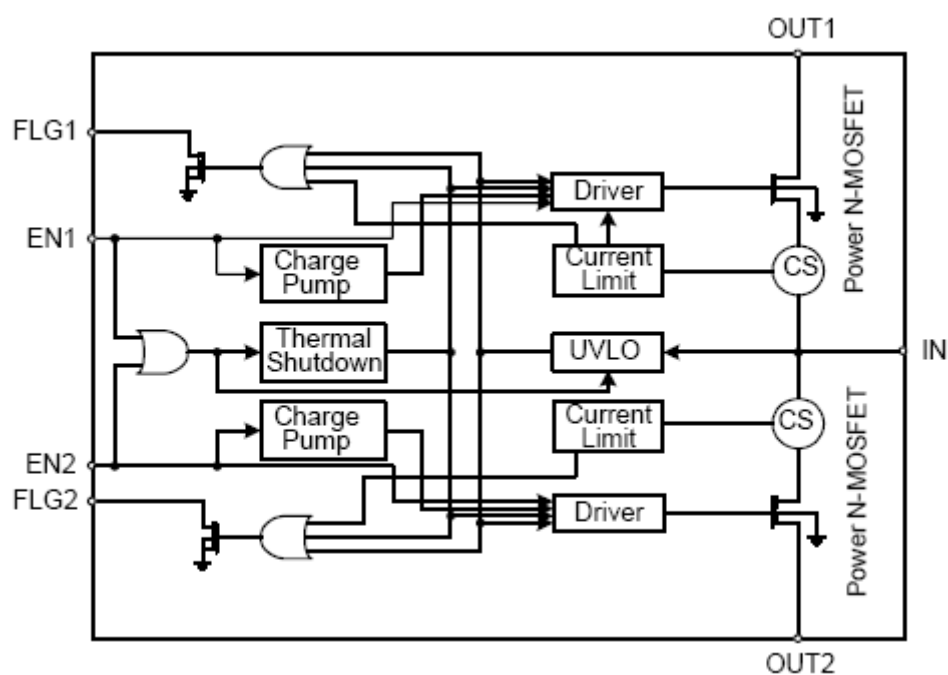


图10 AP1212HSLA原理框图

AP1212HSLA管脚示意图

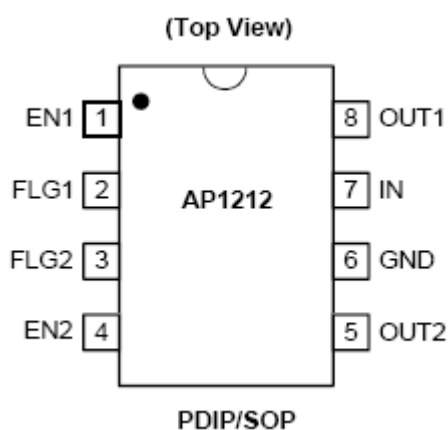


图11 AP1212HSLA管脚示意图

AP1212HSLA管脚功能说明

表8 AP1212HSLA管脚功能说明

管脚号	管脚名称	功能说明
1	EN1	电源通道1开关，高电平打开
2	FLG1	电源通道1过流指示输出
3	FLG2	电源通道2过流指示输出
4	EN2	电源通道2开关，高电平打开
5	OUT2	电源通道2输出
6	GND	地
7	IN	电源输入
8	OUT1	电源通道1输出

6. DC-DC转换器MP1411DH-LF-Z

MP1411DH-LF-Z是降压DC-DC电源转换IC。最大输出电流2A，输入电压范围宽达4.75V-18V，输出电压范围为0.92V-16V。DLS04机芯使用了两个MP1411DH-LF-Z，分别为MST6M68FQ核心供电和LGS-8G52核心供电，中输入电压为+5V，输出电压MST6M68FQ为+1.26V，LGS-8G52为+1.2V。

MP1411DH-LF-Z原理框图

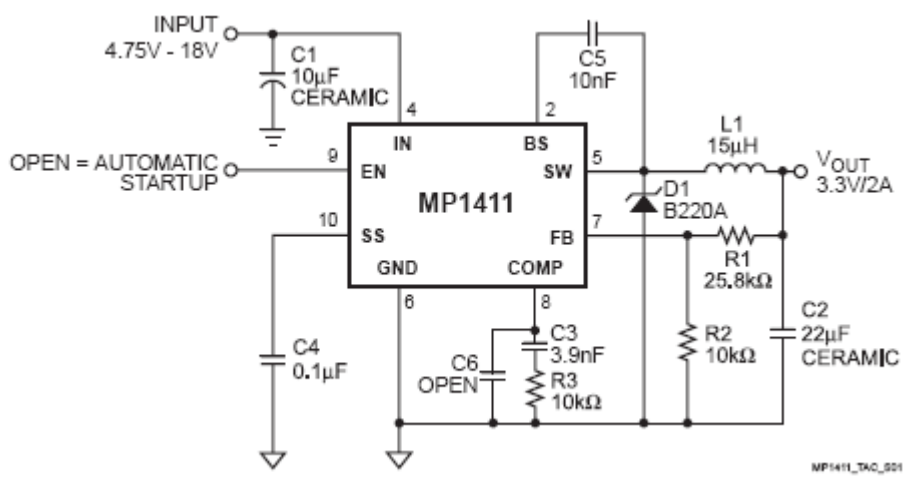


图12 MP1411DH-LF-Z原理框图

MP1411DH-LF-Z管脚示意图

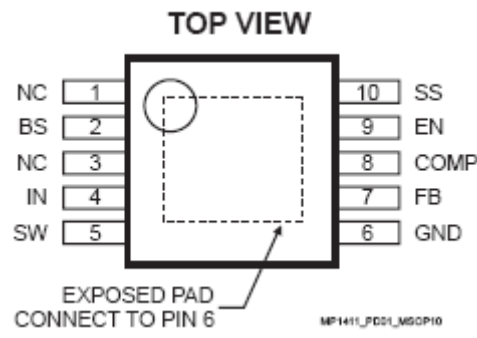


图13 MP1411DH-LF-Z管脚示意图

MP1411DH-LF-Z管脚功能说明

表9 MP1411DH-LF-Z管脚功能说明

Pin #	Name	Description
1	NC	No Connect.
2	BS	Bootstrap. This capacitor (C5) is needed to drive the power switch's gate above the supply voltage. It is connected between the SW and BS pins to form a floating supply across the power switch driver. The voltage across C5 is about 5V and is supplied by the internal +5V supply when the SW pin voltage is low.
3	NC	No Connect.
4	IN	Supply Voltage. The MP1411 operates from a +4.75V to +18V unregulated input. C1 is needed to prevent large voltage spikes from appearing at the input.
5	SW	Switch. This connects the inductor to either IN through M1 or to GND through M2.
6	GND	Ground. This pin is the voltage reference for the regulated output voltage. For this reason care must be taken in its layout. This node should be placed outside of the D1 to C1 ground path to prevent switching current spikes from inducing voltage noise into the part.
7	FB	Feedback. An external resistor divider from the output to GND, tapped to the FB pin, sets the output voltage. To prevent current limit runaway during a short circuit fault condition the frequency foldback comparator lowers the oscillator frequency when the FB voltage is below 400mV.
8	COMP	Compensation. This node is the output of the transconductance error amplifier and the input to the current comparator. Frequency compensation is done at this node by connecting a series R-C to ground. See the compensation section for exact details.
9	EN	Enable/UVLO. A voltage greater than 2.62V enables operation. Leave EN unconnected for automatic startup. An Under Voltage Lockout (UVLO) function can be implemented by the addition of a resistor divider from V_{IN} to GND. For complete low current shutdown the EN pin voltage needs to be less than 700mV.
10	SS	Soft-Start. Connect SS to an external capacitor to program the soft-start. If unused, leave it open.

7. DC-DC转换器AP3003S-12TRE1

AP3003S-12TRE1是降压DC-DC电源转换IC。最大输出电流3A，最大输入电压32V，输出电压12V。DLS04机芯使用的AP3003S-12TRE1输入电压为+24V，输出电压+12V。

AP3003S-12TRE1原理框图

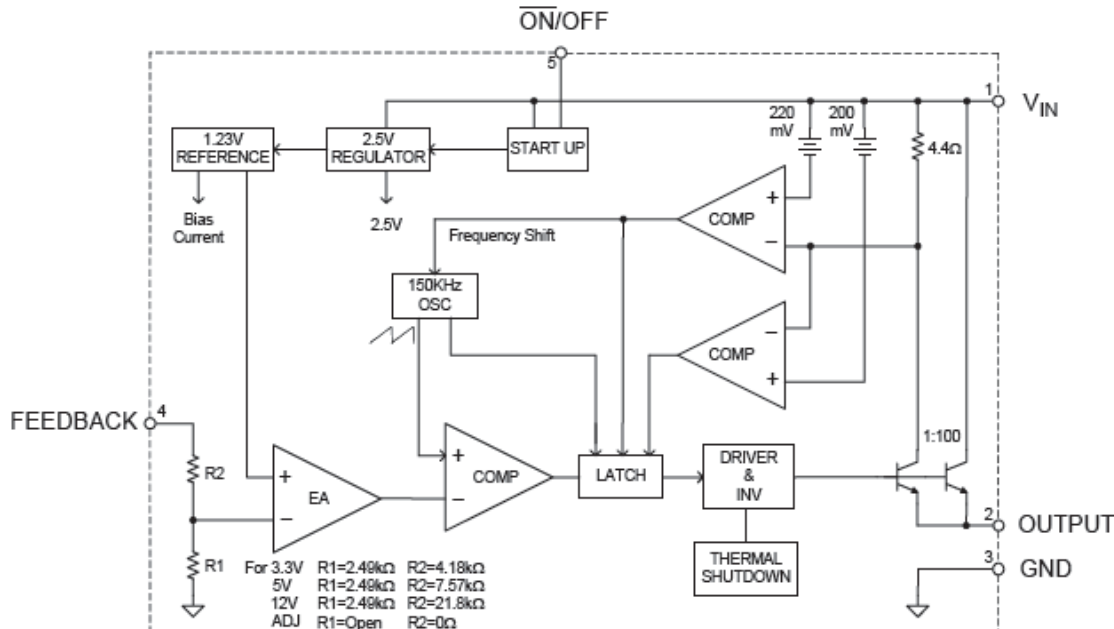


图14 AP3003S-12TRE1原理框图

AP3003S-12TRE1管脚示意图

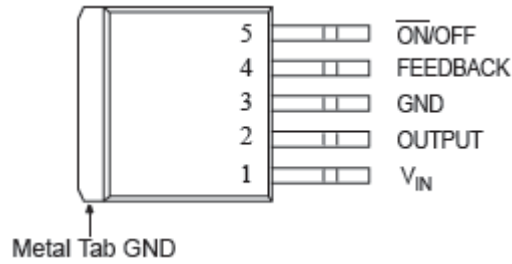


图15 AP3003S-12TRE1管脚示意图

表10 AP3003S-12TRE1管脚功能说明

Pin Number	Pin Name	Function
1	V _{IN}	Unregulated input voltage
2	OUTPUT	Switch driver output
3	GND	Ground
4	FEEDBACK	Feedback Pin. For fixed version, connect it to system output. For adjustable version, connect it with an external resistor and capacitor feedback network to program the system output voltage
5	ON/OFF	The TTL logic compatible input to control the regulator on or off

8. 64Mbit串行FLASH EN25B64-100FIP

EN25B64-100FIP供电电压在2.7-3.6V之间,软件保护设置为只读模式,硬件通过(WP 脚)可设置写保护,是主程序存储器。

EN25B64-100FIP原理框图

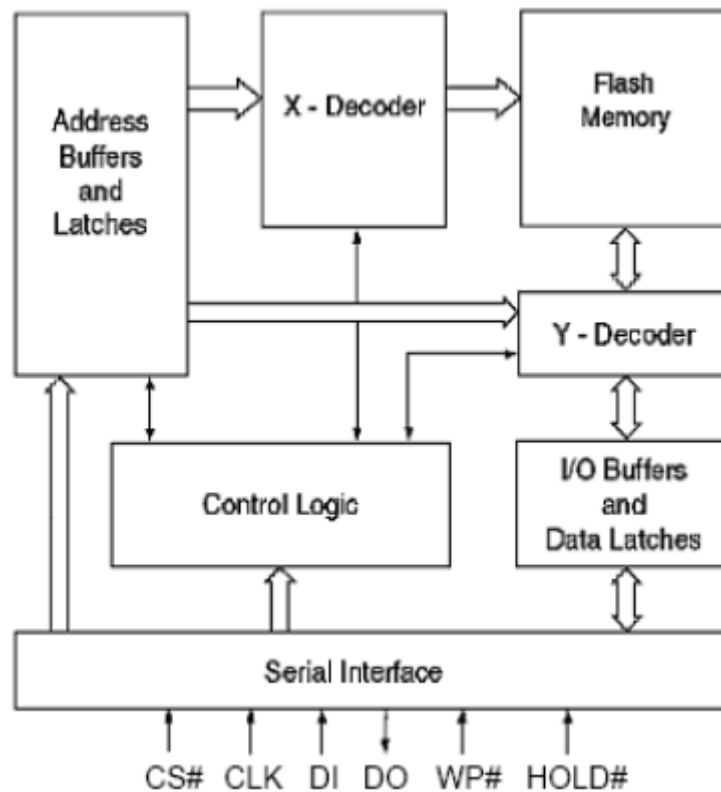
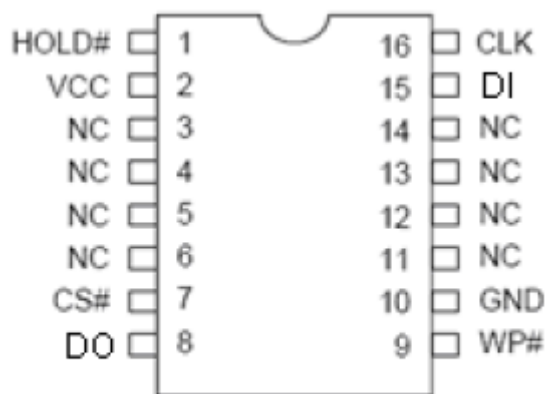


图16 EN25B64-100FIP原理框图

EN25B64-100FIP管脚示意图



16 - LEAD SOP

图17 EN25B64-100FIP管脚示意图

EN25B64-100FIP管脚功能说明

表11 EN25B64-100FIP管脚功能说明

Symbol	Pin Name
CLK	Serial Clock Input
DI	Serial Data Input
DO	Serial Data Output
CS#	Chip Enable
WP#	Write Protect
HOLD#	Hold Input
Vcc	Supply Voltage (2.7-3.6V)
Vss	Ground

第三章 整机信号流程分析及关键点测量数据

本章主要介绍DLS04机芯液晶电视的图像信号的接收处理、声音信号的接受处理、整机系统控制过程和整机供电系统。

一、图像信号流程

高频头输出的模拟TV信号、AV 信号、S-Video 信号、YPbPr 信号以及VGA 输入的RGB 信号，直接送入主芯片MST6M68FQ进行视频解码、A/D 变换、格式变换等，最后将不同格式的输入信号变成统一的LVDS 信号输出。

高频头输出的数字中频信号，经过LSG-8G52解调后形成TS流，TS流送入MST6M68FQ将信号变成统一的LVDS 信号输出。

HDMI 和USB 输入的数字信号进入MST6M68FQ，经过视频解码等处理后形成统一的LVDS 上屏信号。

二、伴音信号流程

AV/S-Video和YPbPr 输出的音频信号，经过4052 进行切换后，选出一路进入主芯片

MST6M68FQ 进行ADC、DSP 等处理后输入数字伴音功放（TPA3121D2），经功率放大后输出到扬声器。

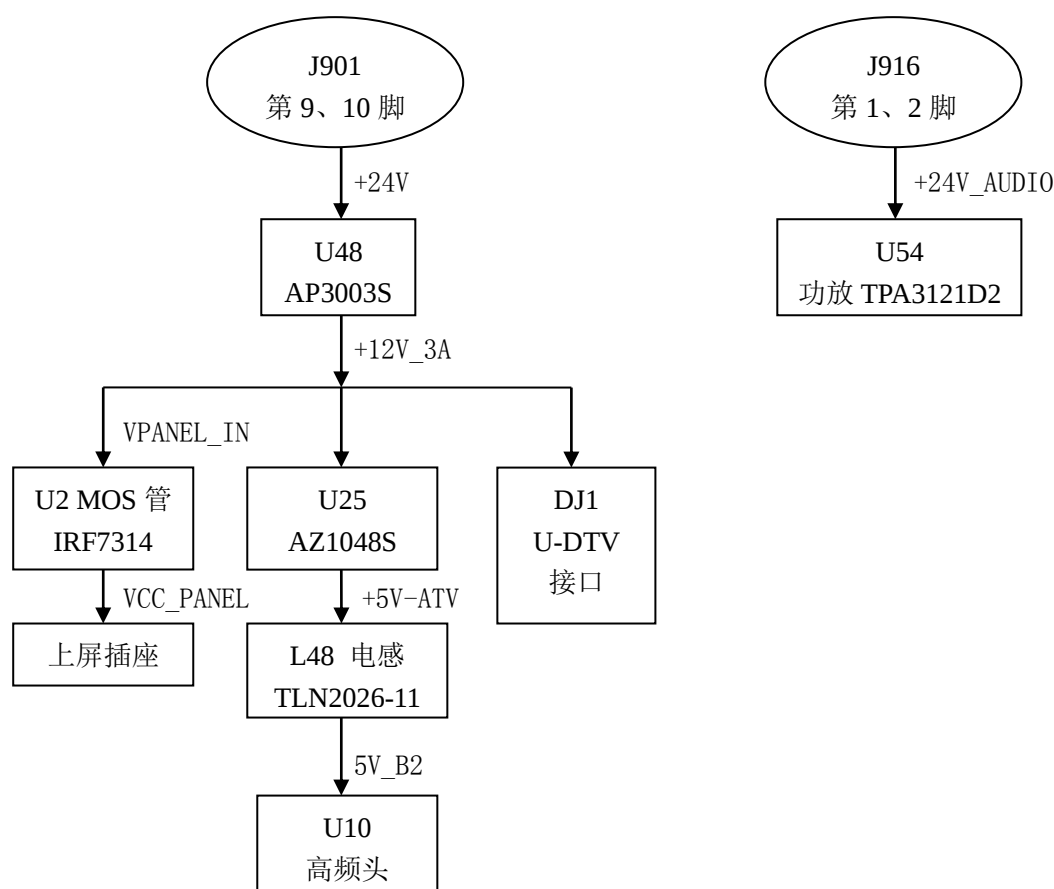
模拟TV、VGA、HDMI 和USB 输出的音频信号直接进入主芯片进行DSP处理，输出的信号进入数字伴音功放（TPA3121D2），经功率放大后输出到扬声器。

数字TV输出的音频信号经过LGS-8G52解调之后打包成TS流，送到主芯片进行DSP处理，输出的信号进入数字伴音功放（TPA3121D2），经功率放大后输出到扬声器。

三、整机供电系统

从电源板共有4 路电压输出，+5VSB、+5V_4A、+24V_AUDIO、+24V_INV。其中+24V_INV 供LCD屏的逆变器使用，+24V_AUDIO 供伴音功放和高频头使用，+5VSB 和+5V_4A 通过DC-DC 转换器(如MP1411DH)、LDO 转换器(如AZ1084S、AZ1117等)变成1.8V、1.2V、2.5V、3.3V 等供相关功能电路和IC 使用，同时+5V_4A 还给相关电路直接供电。

1. 整机电源组成与分布图



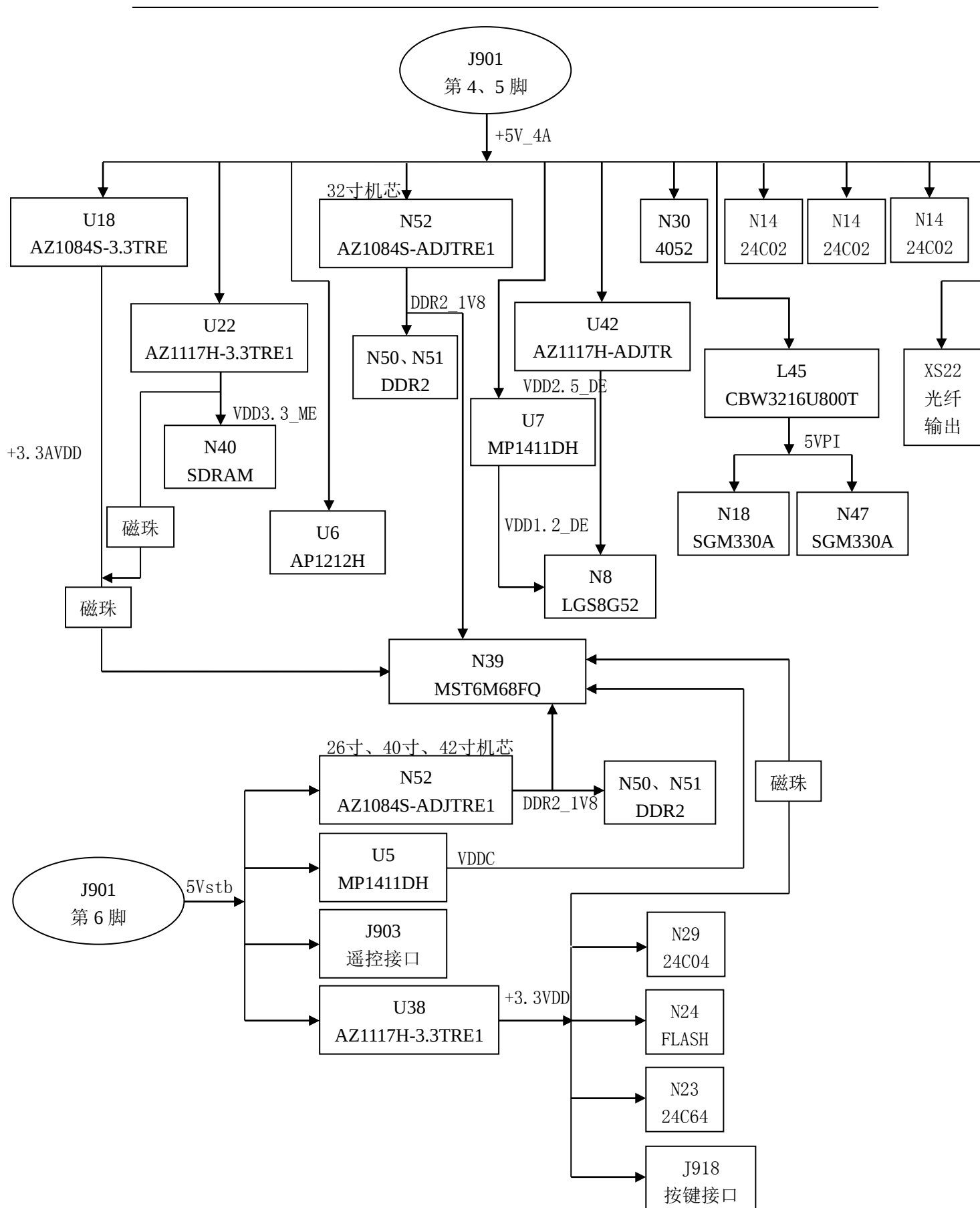


图18 整机电源组成与分布图

2. 主板上各电源管理器件管脚直流电平（有效值，单位V）

位号	型号	PIN1	PIN2	PIN3	PIN4	PIN5	PIN6	PIN7	PIN8	PIN9	PIN10
U5	MP1411DH-LF-Z	0	5.96	0	5.15	1.4	0	0.92	1.49	0	0.92
U7	MP1411DH-LF-Z	0	5.67	0	5.16	1.21	0	0.92	1.04	0	0.92
U48	AP3003S-12TRE1	23.4	12.19	0	12.17	0					
U22	AZ1117H-3.3TRE	0	3.29	5.15							
U38	AZ1117H-3.3TRE	0	3.3	5.17							
U18	AZ1084S-3.3TRE1	0	3.3	5.17							
U42	AZ1117H-ADJTR	1.29	2.53	5.16							
N52	AZ1084S-ADJTRE1	0.6	1.85	5.15							
U25	AZ1084S-5.0TRE1	0	5	8.5							

表12电源管理器件管脚直流电平（有效值）

3. 主板上主要供电插座电压表

电压	位置	电压范围
+24V_INV	J916的7、8脚	23.5-24.5V
+24V_AUDIO	J916的1、2脚和J901的9、10脚	23-24V
+5Vsb	J901的6脚	5.05-5.35V
+5V_4A	J901的4、5脚	5.05-5.35V

表13 主板主要供电插座电压表

四、主板上各主要插座位置及定义

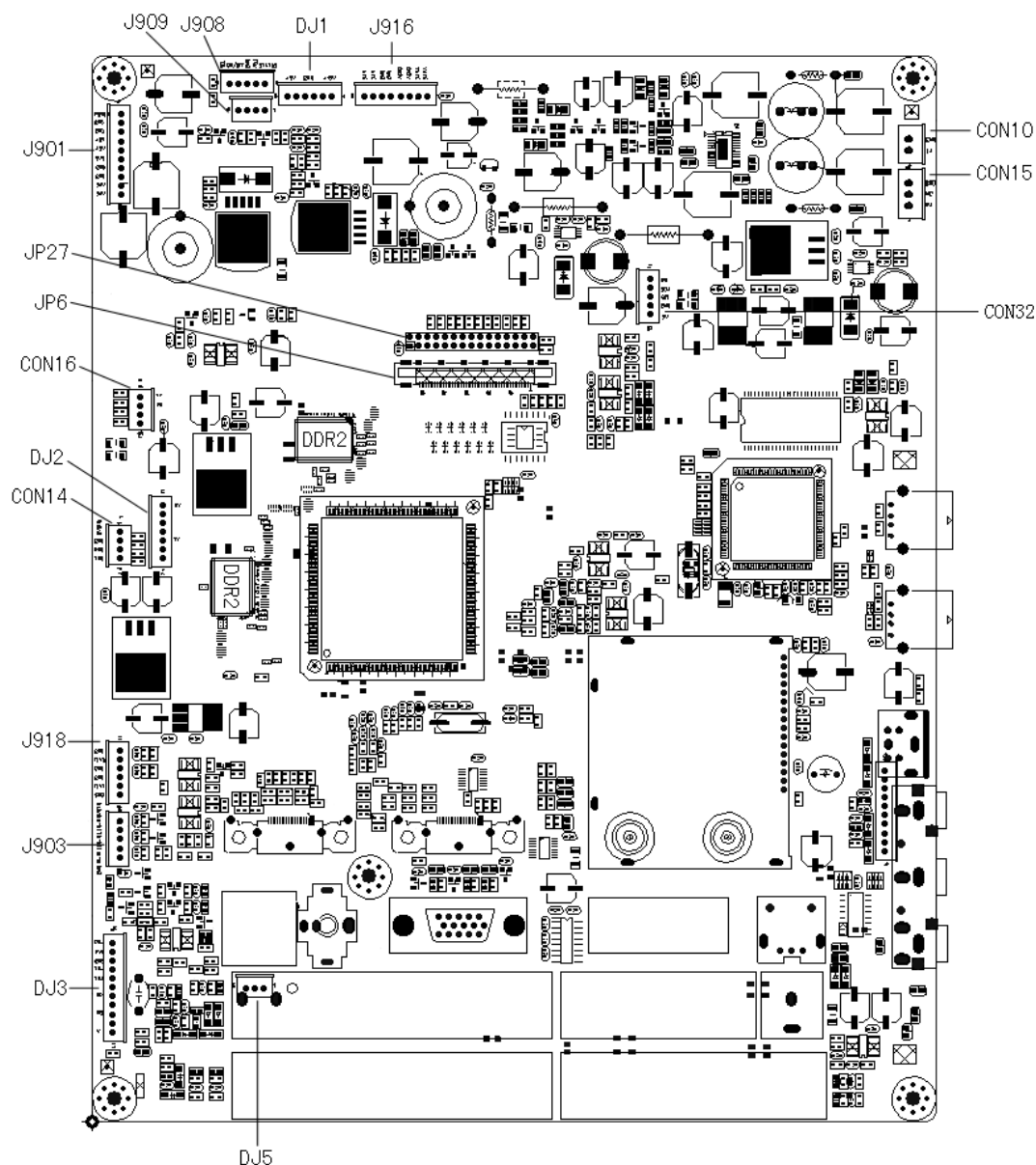


图19 DLS04机芯主板插座位置示意图

表14 DLS04机芯主板内部连接插座定义

序号	位号	连接对象	功能描述
1	J901	电源板	Power on/off (1脚); GND (2, 3, 7, 8脚); 5V_4A (4, 5脚); 5Vstb (6脚); 24V_1A (9, 10脚)
2	J916	电源板	24V_AUDIO(1, 2脚); 24_VINV (7, 8脚); 其余为GND
3	J908	逆变器	STATUS(1脚); BL_ADJUST(2脚); GND (3脚); BL_ON/OFF (4脚); SEL (5脚)
4	J909	逆变器	STATUS(1脚); BL_ADJUST(2脚); GND (3脚); BL_ON/OFF (4脚)
5	CON10	扬声器	2 芯, 左扬声器伴音功率放大输出
6	CON15	扬声器	3 芯, 右扬声器伴音功率放大输出
7	CON32	工装	HDCP_KEY写入, WP_HDCP (1脚); SDA (2脚); SCL (3脚); GND

			(4脚); 5Vstb (5脚)
8	JP27	屏插座	WXGA屏插座
9	JP6	屏插座	Full HD屏插座
10	CON16	调试口	5Vstb(1脚); GND (2脚); UART_RX (3脚); UART_TX (4脚)
11	CON14	调试口	5Vstb(1脚); GND (2脚); UART_RX (3脚); UART_TX (4脚)
12	J918	按键板	KEY0 (2脚); KEY1 (5脚); 其余为GND
13	J903	遥控板	5Vstb (1脚); LED_R (2脚); LED_G (3脚); IR_IN (4脚); GND (5脚)
14	DJ1	U-DTV模块	U-DTV模块供电
15	DJ2	U-DTV模块	U-DTV模块控制
16	DJ3	U-DTV模块	U-DTV模块图像信号输入
17	DJ5	U-DTV模块	U-DTV模块伴音信号输入

五、关键点波形图（图20-图29）

1、射频输入全彩条信号，在进入主芯片N39的耦合电容C109之后的波形图如图19所示：

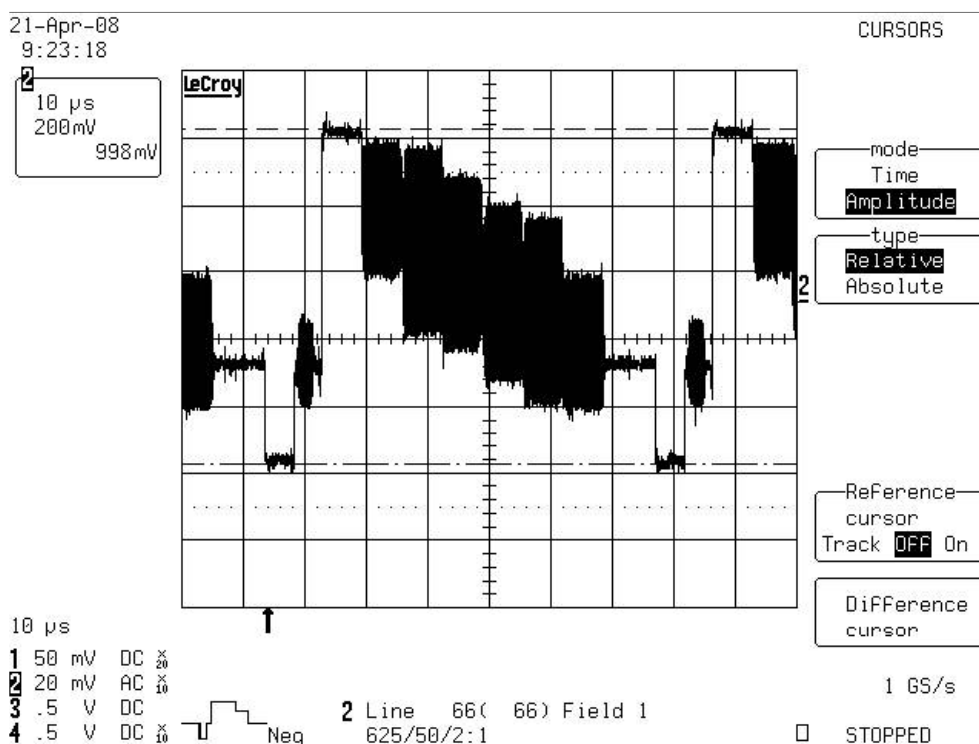


图20

2、S端子输入全彩条信号，在进入主芯片N39的耦合电容C19之后（S-VIDEO--Y 部分）的波形如图20 所示

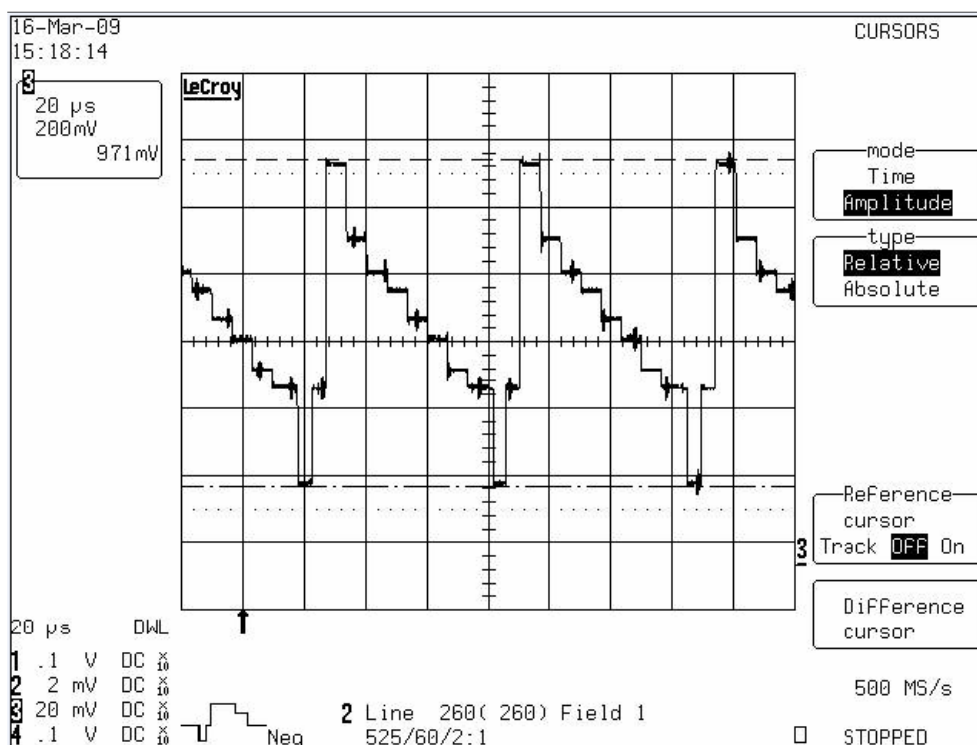


图21

3、S端子输入全彩条信号，在进入主芯片N39的耦合电容C43之后（S-VIDEO—C 部分）的波形如图21 所示：

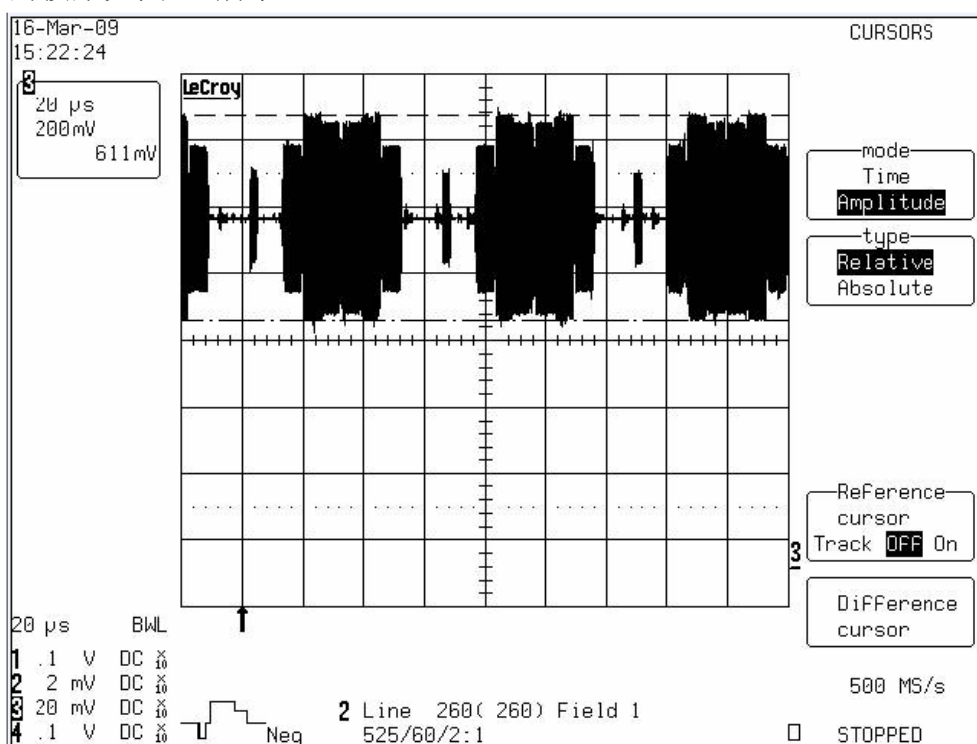


图22

4、YPbPr输入全彩条信号，在进入主芯片N39的耦合电容C46之后（YPbPr—Y 部分）的波形如图22所示：

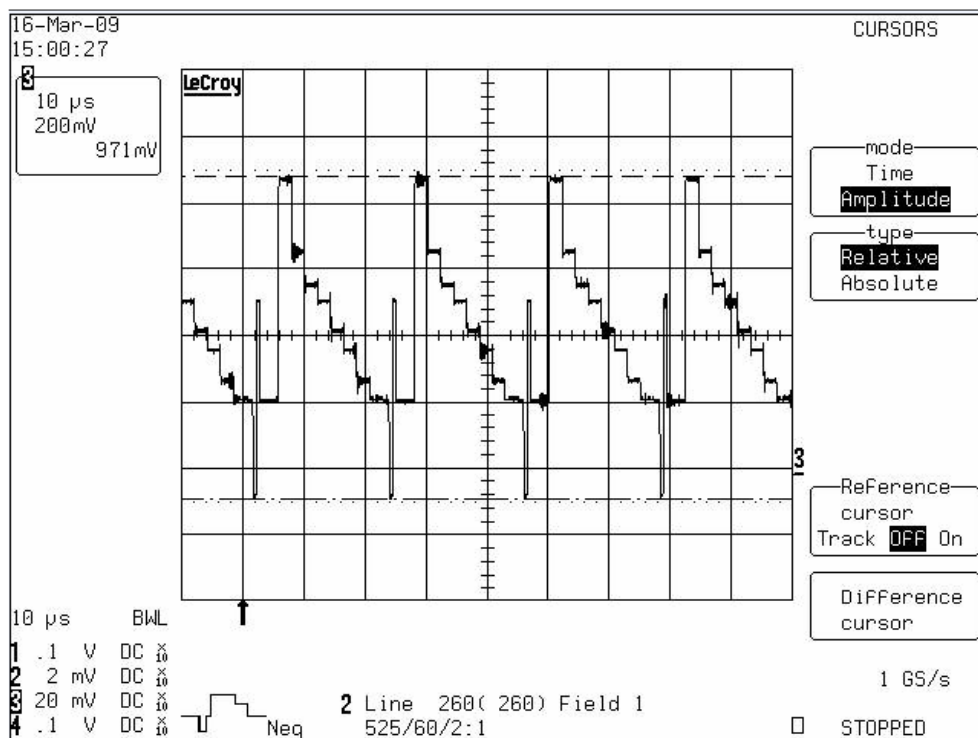


图23

5、YPbPr端子输入全彩条信号，在进入主芯片N39的耦合电容C51之后（YPbPr—Pb部分）的波形如图23 所示：

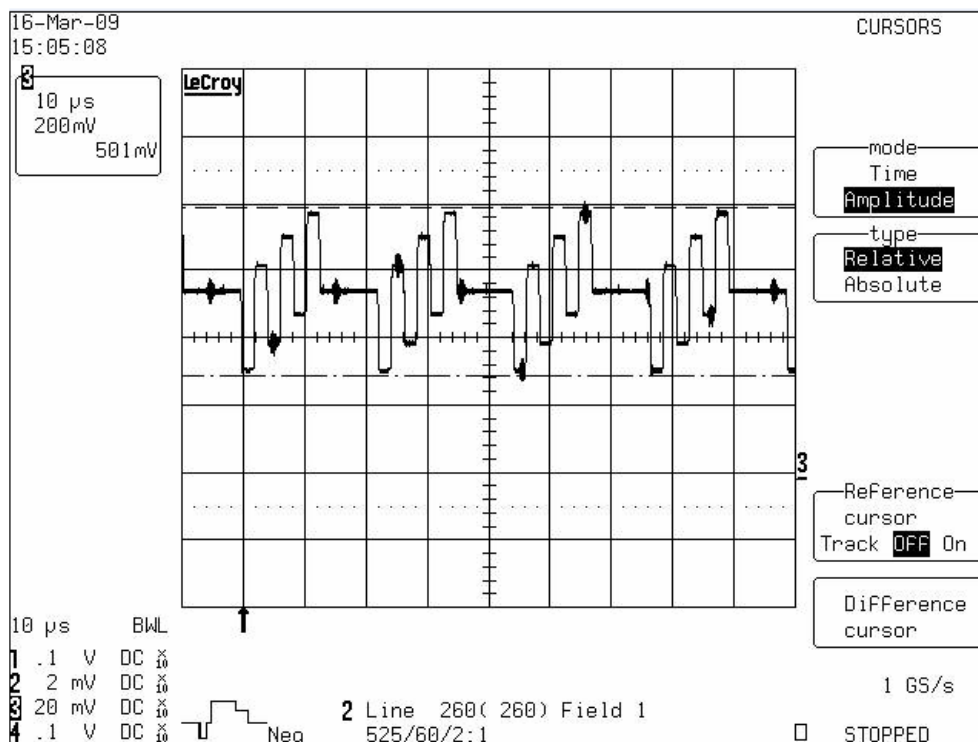


图24

6、YPbPr端子输入全彩条信号，在进入主芯片N39的耦合电容C49之后（YPbPr—Pr部分）的波形如图24所示：

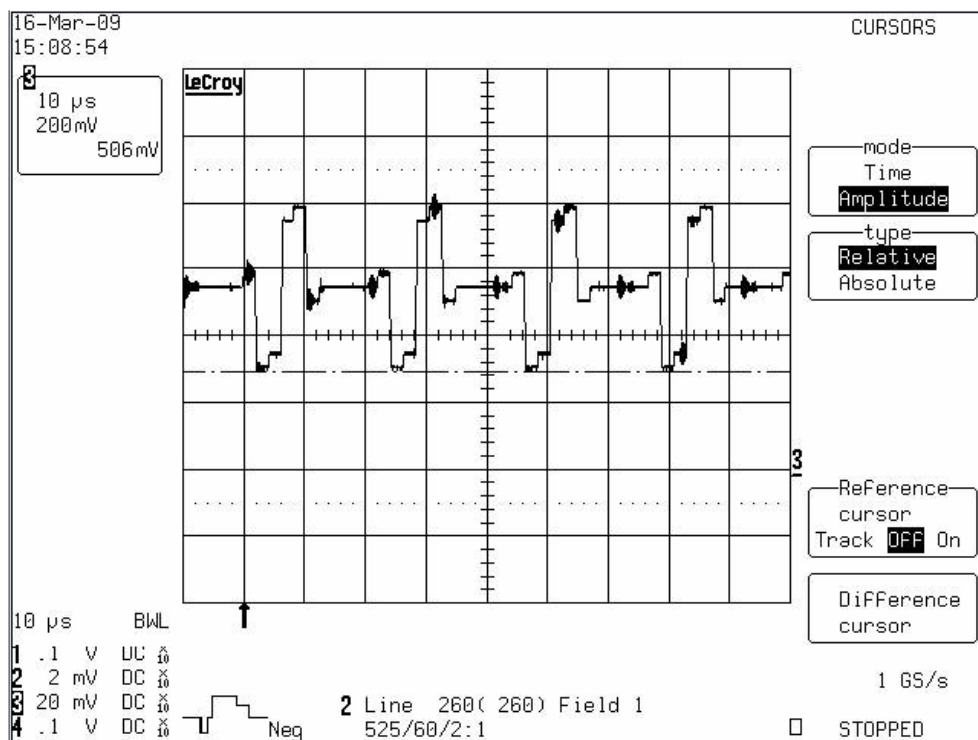


图25

7、频率为1KHz的伴音信号输入，主芯片N39第80，81 脚处波形（工厂TV 白场信号下测试）如图25所示：

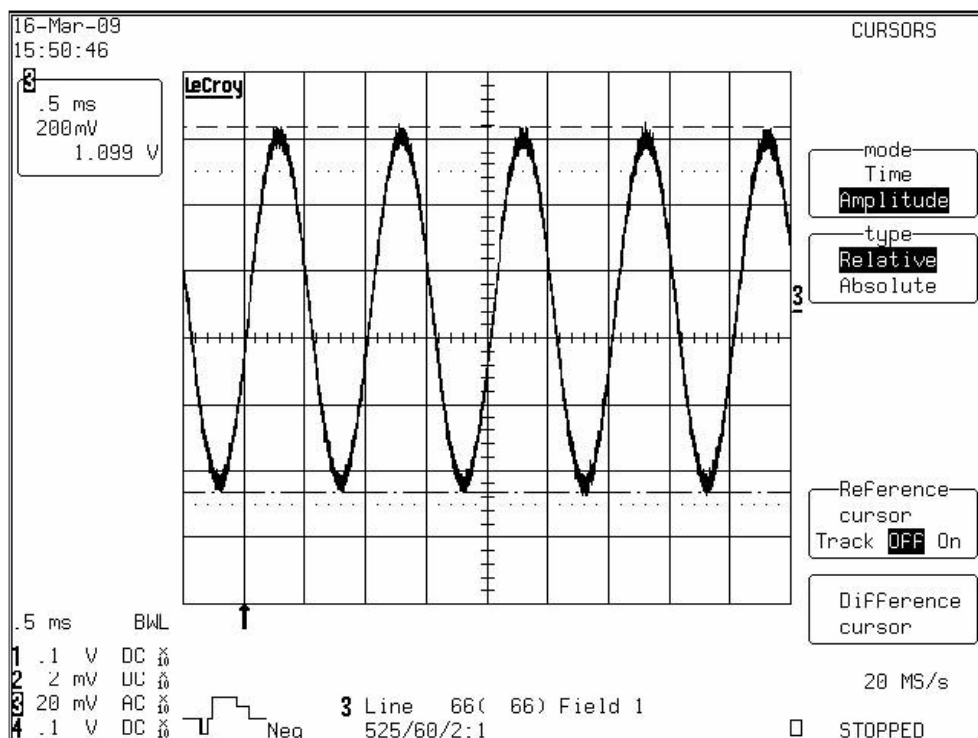


图26

8、频率为1KHz的伴音信号，功放U54的15、22脚（音量置于100）波形如图26所示：

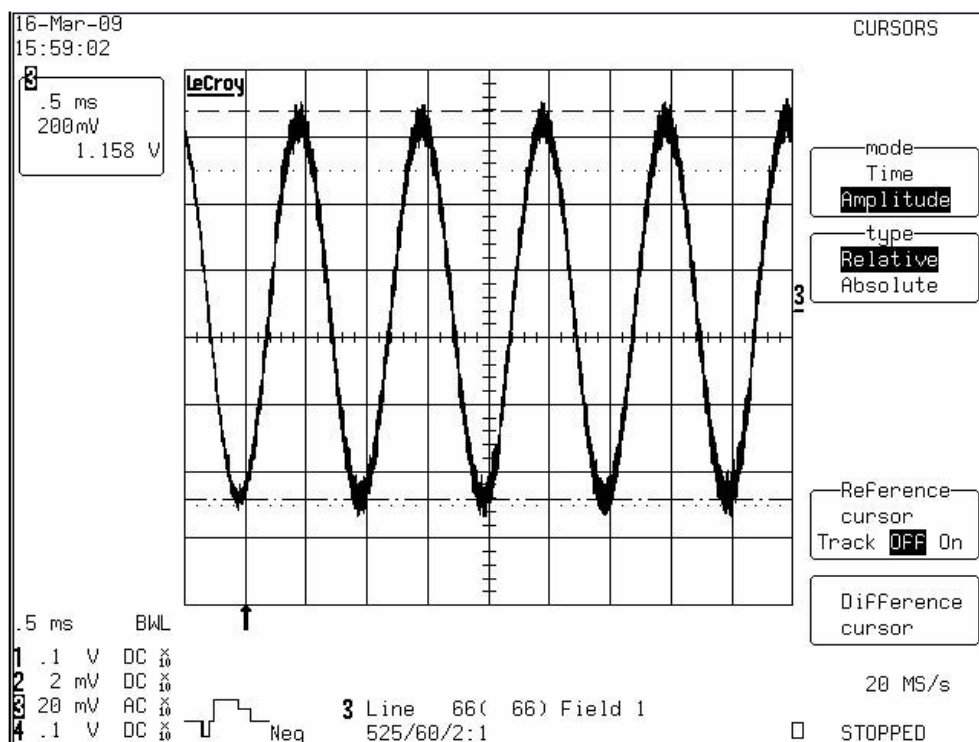


图27

9、射频输入全彩条信号，I²C 总线时钟信号SCL, U10的第9脚处波形如图27所示：

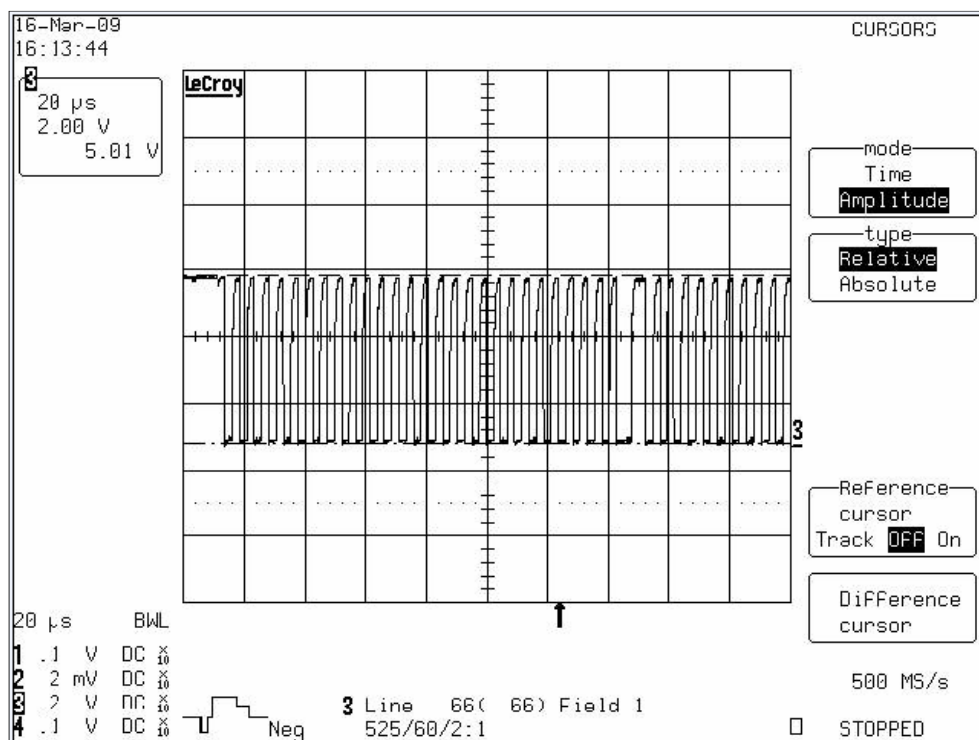


图28

10、射频输入全彩条信号，I²C 总线时钟信号SDA, U10的第10脚处波形如图28所示：

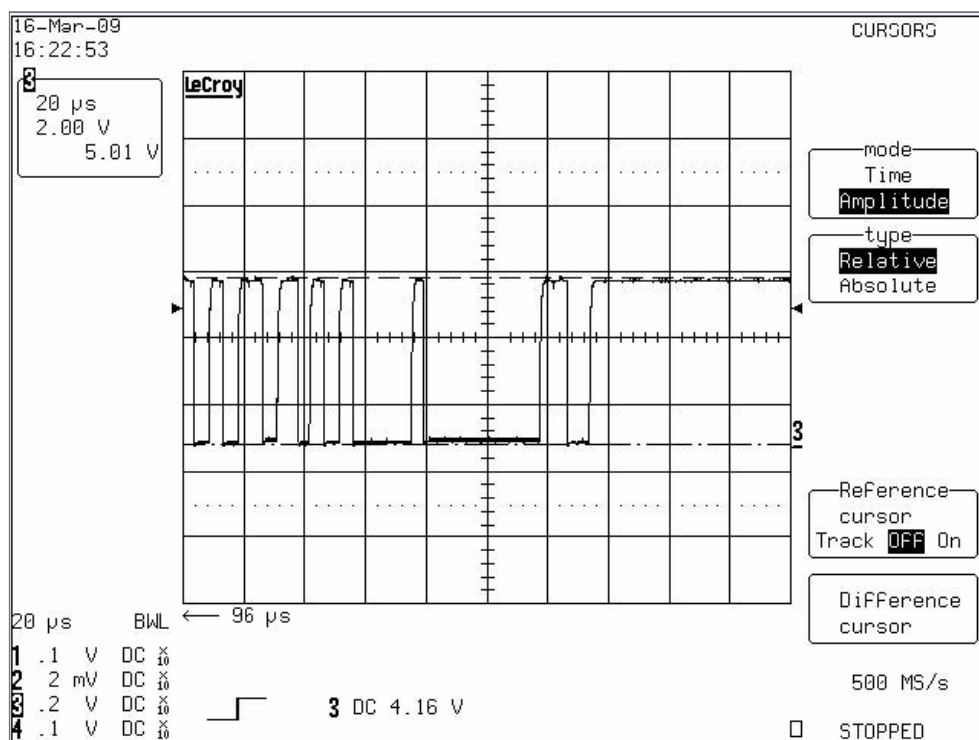
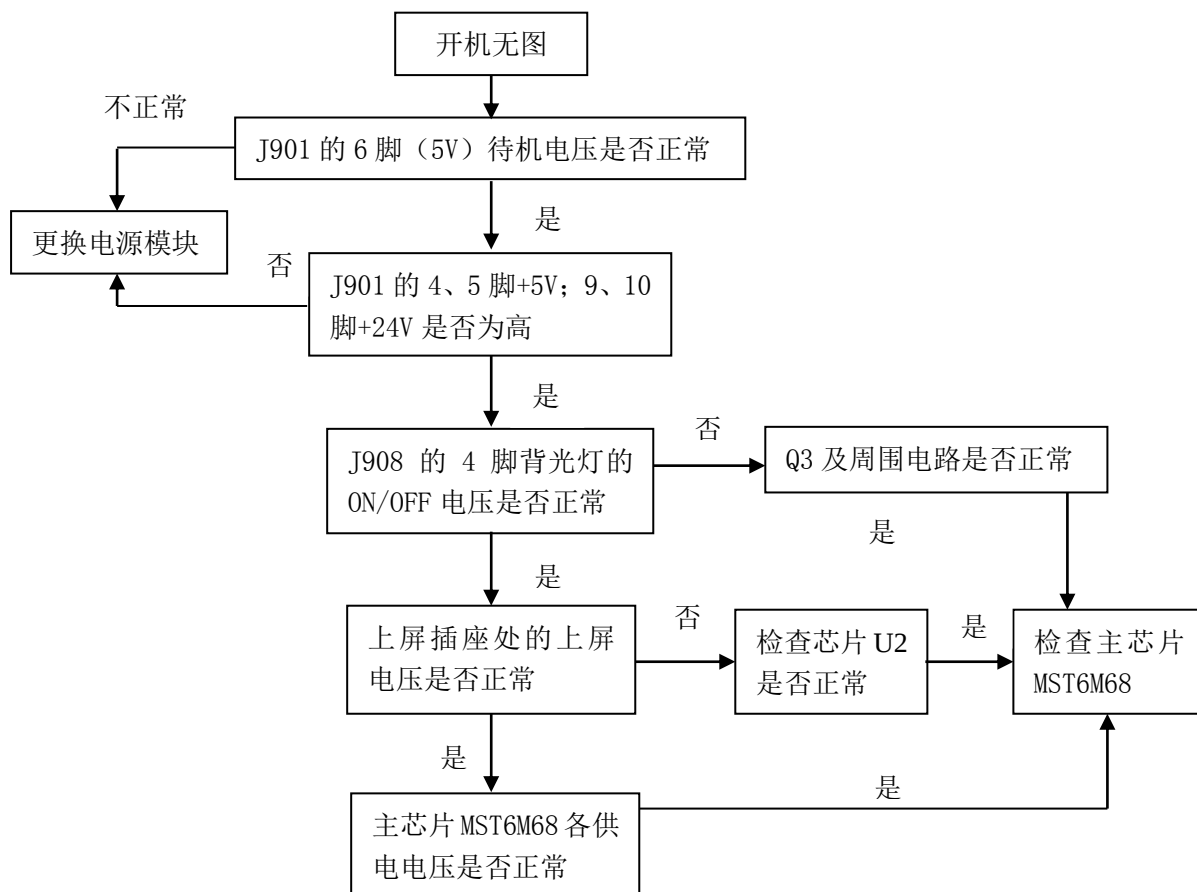


图29

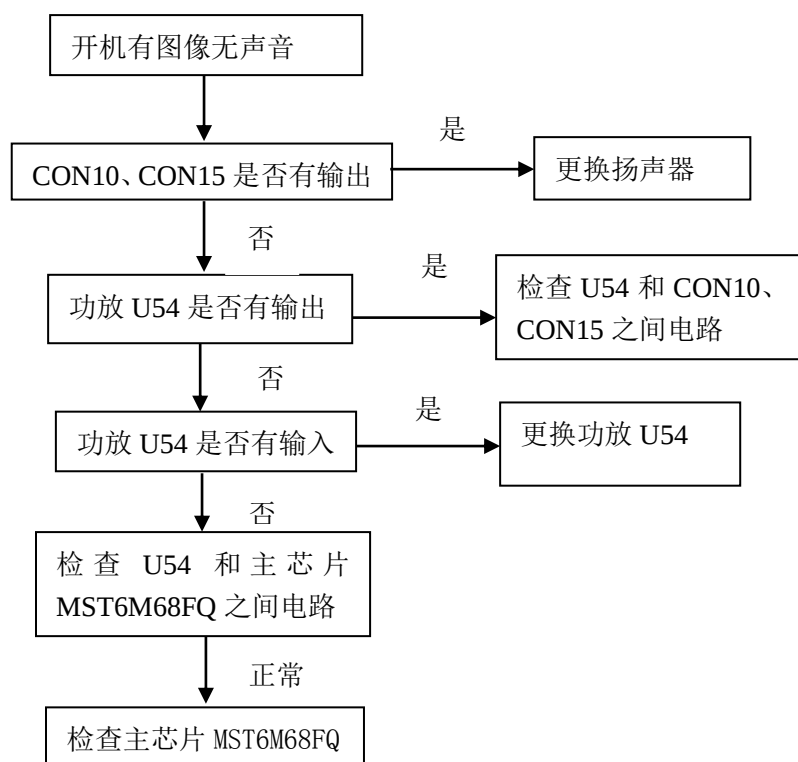
第四章 常见问题及处理

一、典型故障分析流程

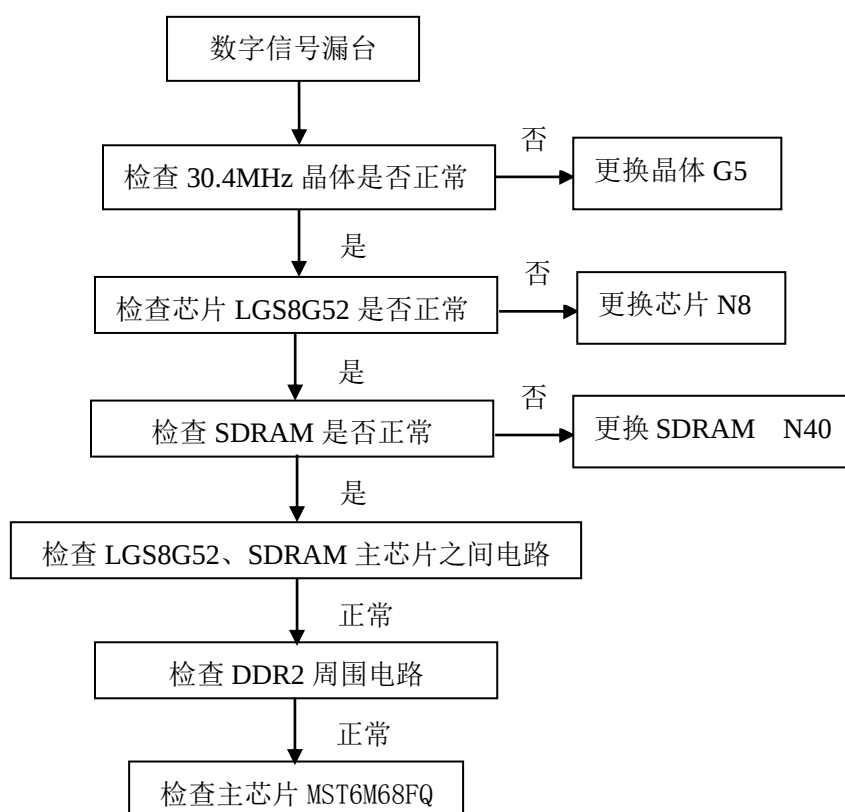
1、开机三无（包括无开机画面、无指示灯、无背光）检查维修流程如图 30：



2、正常通电开机有图像，无声音检查流程如图 31：



3、数字电视搜台漏台，检查流程如图 32：



二、整机软件升级方法

DLS04 机芯软件升级有以下几种方法：

1、采用电脑工装升级：

工装接口为专用四芯接口。将升级工装与整机的插口相连，且在连接升级前必须保证电脑和整机供电，以防止整机升级端口失效。在连接好工装后可用专用的升级工具进行升级，升级完成后将整机断电后重启后即可。

2、使用 U 盘在 DTV 源下升级：

- ①将升级程序拷入 U 盘；
- ②遥控开机后将信源切换到 DTV；
- ③将 U 盘插入整机 USB 接口；
- ④会弹出升级对话框，按系统提示确认即可进行升级；

3、在工厂模式下升级：

- ①将升级程序拷入 U 盘；
- ②将 U 盘插入整机 USB 接口；
- ③进入工厂模式后选择软件升级选项；
- ④会弹出升级对话框，按系统提示确认即可进行升级；

注：使用方法 2 和方法 3 升级过程中不能断电，否则整机不能重新开机，若断电需用第 1 种方法升级后才能重新开机。

三、维修实例

1、故障现象：搜索数字信号漏台。

故障原因及处理：检查 30.4MHz 晶体输入频率，如果晶体频偏较大($>\pm 2000$)，则更换晶体；如果晶体频偏在范围内，检查 LGS8G52 周围电路是否有虚焊、漏焊，如没有，则更换 LGS8G52 芯片。

2、故障现象：搜索到数字电视信号但无图无声。

故障原因及处理：检查 SDRAM (N40) 是否有虚焊、连焊；检查 DDR2 (N51) 周围电路是否有虚焊、连焊；检查 LGS8G52 和 MST6M68FQ 之间电路。

3、故障现象：交流开机指示灯为绿色。

故障原因及处理：检查 FLASH (N24) 是否有虚焊、连焊；检查 DDR2 (N50) 周围电路是否有虚焊、连焊。

4、故障现象：HDMI 信源下无信号识别。

故障原因及处理：检查 N12, N14 (型号为 AT24C02N) 是否有虚焊；检查是否写入 HDCP 和 key 或者是 HDCP 和 key 写入不正确，重新写入 HDCP 和 key；

5、故障现象：开机后有声音图像，背光灯亮，开机无 LOGO。

故障原因及处理：检查上屏线是否接好，测量上屏电压是否正常，不正常则检查相关电路。

6、故障现象：USB 设备不识别

故障原因及处理：检查 USB 供电是否正常；检查 MST6M68FQ 是否有虚焊连焊。

第五章 维修件、易损件清单

下表的维修备件清单仅供参考，准确型号或规格请以公司最新资料为准。

表 15 维备件清单

序号	物料名称	规格型号	物料代码	应用机型
1	主板组件	JUC6.690.00022690	850018438	LDTV26810U
2	主板组件	JUC6.690.00018273	850015557	LDTV32810U
3	主板组件	JUC6.690.00017181	850014656	LDTV42810FU
4	主板组件	JUC6.690.00018271	850015555	LDTV32876
5	主板组件	JUC6.690.00018266	850015549	LDTV40876F
6	主板组件	JUC6.690.00013180	850012273	LDTV42876F
7	按键板组件	JUC6.694.00022735	850018467	LDTV26810U
8	按键板组件	JUC6.694.00019194	850016272	LDTV32810U LDTV42810FU
9	按键板组件	JUC6.694.00007819	850008272	876 系列
10	遥控接收板组件	JUC6.695.00019205	850016292	810 系列
11	遥控接收板组件	JUC6.695.00007946	850008346	876 系列
12	接口转接板组件	JUC6.697.00016752	850014461	810 系列
13	26 寸屏	LC260WXE-SBA1	850016239	LDTV26810U
14	32 寸屏	LC320WXN-SBD1	850014121	LDTV32810U LDTV32876
15	40 寸屏	LTA400HA07	850008561	LDTV40876F
16	42 寸屏	LC420WUN-SBD1	850014184	LDTV42810FU LDTV42876
17	电源模块	FSP140-3PS01	850018506	LDTV26810U
18	电源模块	FSP205-3E01C	50300060270	LDTV32810U LDTV32876
19	电源模块	FSP306-4F01	850006042	LDTV40876 LDTV42876F LDTV42810FU

其中 810 系列支持 UDTV 模块，876 系列不支持 UDTV 模块。DLS04 所有机型均采用相同的印制板，只是在组件上有如下差异：

1、LDTV40876F/LDTV42876F/LDTV42810FU 使用的是高清屏，上屏线插座使用的是 JP6；LDTV26810U/LDTV32810U/LDTV32876 使用的是标清屏，上屏线插座使用的是 JP27。

2、LDTV26810U/LDTV32810U/LDTV32876 的 BOM 清单在 LDTV40876F/LDTV42876F/LDTV42810U 基础上作如下更改：

增加 R33、R34、R39、R41（用于上屏线插座 JP27 与地的连接）

取消 L104、L107、L108、L109、L110、L111、L112（由于改用上屏线插座 JP27 后不需要这 7 个电感）

3、LDTV32810U/LDTV32876 的 BOM 清单相对其它 4 个机型作如下更改：

增加 L29、取消 L87（DDR 供电由 5VSTB 改用+5V_4A 供电）

第六章 工厂模式设置及注意事项

1、进入工厂模式

按 TV/AV 键后，再快速依次按 2、5、8、0 四个数字键即可进入工厂模式菜单；

2、工厂菜单及其设置

进入工厂菜单后显示如下图：

Factory Setting

当前源 DTV

音量 20

平衡 0

ATV 快速搜索 打开

彩色制式 PAL

伴音制式 DK

ADC ADJUST

W/B ADJUST

软件升级

Factory Setting

PANNEL SET LC320WXN-SBD1（不同尺寸整机此参数不一样）

软件版本：LDLS04-M32-V1.12U-WL（不同软件版本整机此参数不一样）

3、工厂菜单的调节方法

（1）选择调节项目

可以通过上下方向键选择，然后按 OK 键进入相应的调节项目；

（2）调整方法

进入相应的调节项目后，可以通过左右方向键对项目的参数进行调节；

（3）项目含义

各调节项目的含义如表 16 所示：

序号	项目名称	项目含义	操作键	备注
1	当前源	信号源选择	左右方向键	
2	音量	音量调节	左右方向键	
3	平衡	平衡调节	左右方向键	步长为 50
4	ATV 快速搜索	模拟电视快速搜索	左右方向键	开/关
5	ADC ADJUST	自动彩色校正	左右方向键	
6	W/B ADJUST	白平衡校正	左右方向键	
7	软件升级	用于升级软件	OK 键	
8	Factory Setting	工厂设置	OK 键	
9	PANEL SET	屏参选择	左右方向键	

在进入 Factory Setting 后，各调节项目含义如表 17 所示：

序号	项目名称	项目含义	操作键	备注
1	PICTURE MODE	图像线性参数调整	左右方向键	
2	Sound Mode	音量线性参数调整	左右方向键	
3	Picture Curve Setting	图像曲线参数设置	左右方向键	
4	Sound Curve Setting	音量曲线参数设置	左右方向键	
5	Over Scan	重现率调整	左右方向键	

6	SSC ADJUST	扩频参数调整	左右方向键	
7	Other Setting	其它设置	左右方向键	
8	Frequency Set	频率设置	左右方向键	
9	Auto Check	自动检查	左右方向键	开/关
10	Aging Mode	老化模式	左右方向键	开/关
11	RESET ALL	重置所有	OK 键	
12	Identifier	工厂预置	左右方向键	